

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : TBD Confirmation No. TBD
Applicant : Hiroaki Kojima
Filed : 10/18/2003
TC/A.U : TBD
Examiner : Not Assigned
Docket No. : TI-34713
Customer No. : 23494

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C § 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

"EXPRESS MAIL" mailing label number EV 333320028 US. I hereby certify that the Preliminary Amendment and the accompanying Application is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 § CFR 1.10 on the above-mentioned date and is addressed to the Mail Stop Patent Application, Commissioner of Patents, P. O. Box 1450, Alexandria, VA 22313-1450.


Allen B. Kroger

10/17/03
DATE

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-303,964, filed on 10/18/2002 in the Japanese Patent Office and from which priority under 35 U.S.C § 119 is claimed for the above-identified application.

Respectfully submitted,
Texas Instruments Incorporated

William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228
(972) 917-5452

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年10月18日

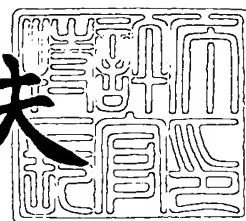
出願番号
Application Number: 特願2002-303964
[ST. 10/C]: [JP2002-303964]

出願人
Applicant(s): 日本テキサス・インスツルメンツ株式会社

2003年 9月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



特許庁長官 (2003098)

出証番号 出証特2003-3072936



【書類名】 特許願

【整理番号】 021130

【提出日】 平成14年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 G05B

【発明者】

【住所又は居所】 東京都目黒区緑が丘 2 - 4 - 1 1

【氏名】 小島 啓彰

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100089705

【住所又は居所】 東京都千代田区大手町二丁目 2 番 1 号 新大手町ビル 2

0 6 区 ユアサハラ法律特許事務所

【弁理士】

【氏名又は名称】 社本 一夫

【電話番号】 03-3270-6641

【選任した代理人】

【識別番号】 100076691

【弁理士】

【氏名又は名称】 増井 忠哉

【選任した代理人】

【識別番号】 100075270

【弁理士】

【氏名又は名称】 小林 泰

【選任した代理人】

【識別番号】

100080137

【弁理士】

【氏名又は名称】

千葉 昭男

【選任した代理人】

【識別番号】

100096013

【弁理士】

【氏名又は名称】

富田 博行

【選任した代理人】

【識別番号】

100120112

【弁理士】

【氏名又は名称】

中西 基晴

【手数料の表示】

【予納台帳番号】

051806

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【フロップの要否】

要

【書類名】 明細書

【発明の名称】 タイミング調整方法および装置

【特許請求の範囲】

【請求項 1】

イベントのタイミングを調整するタイミング調整方法において、
多相クロックに基づき前記イベントのタイミング調整を行うこと、
を特徴とするタイミング調整方法。

【請求項 2】

請求項 1 記載の方法において、前記イベントは、電氣的なイベントであること
、を特徴とするタイミング調整方法。

【請求項 3】

請求項 2 記載の方法において、前記電氣的イベントは、複数の電氣的状態間に
おける少なくとも 1 つの遷移であること、を特徴とするタイミング調整方法。

【請求項 4】

請求項 3 記載の方法において、前記電氣的状態間の遷移は、所与のパルスにお
ける立ち上がりまたは立ち下がりであること、を特徴とするタイミング調整方法

【請求項 5】

請求項 4 記載の方法において、前記多相クロックは、前記所与パルスに関する
基準信号から発生すること、を特徴とするタイミング調整方法。

【請求項 6】

請求項 5 記載の方法において、前記多相クロックのうちの選択した 1 つを、前
記所与パルスにおける立ち上がりまたは立ち下がりを構成するのに使用すること

、を特徴とするタイミング調整方法。

【請求項 7】

請求項 3 記載の方法において、前記電氣的状態間の遷移は、デジタル転送デー
タにおける遷移であること、を特徴とするタイミング調整方法。

【請求項 8】

請求項 7 記載の方法において、前記多相クロックは、前記デジタル転送データ

の転送クロックから発生すること、を特徴とするタイミング調整方法。

【請求項 9】

請求項 8 記載の方法において、前記多相クロックのうちの選択した 1 つは、前記デジタル転送データにおけるタイミング調整後の遷移を構成するのに使用すること、を特徴とするタイミング調整方法。

【請求項 10】

イベントのタイミングを調整するタイミング調整方法であって、多相クロックを発生する多相クロック発生スラップであって、該多相クロックが、前記イベントに対し適用する複数の異なったタイミング調整量をそれぞれ表す位相の異なった複数の位相クロックから成る、前記の多相クロック発生スラップと、

前記多相クロックからの任意の 1 つの前記位相クロックを使用して、前記イベントの変更したタイミングを表すイベント変更タイミング信号を発生する多相クロック使用スラップと、

から成るタイミング調整方法。

【請求項 11】

複数のイベントから成る 1 つのイベント・グループのタイミングを調整するタイミング調整方法であって、

前記イベント・グループを各々のイベントに分解するスラップと、該分解したイベントの各々に対し、請求項 10 記載のタイミング調整方法を実施するスラップと、

から成るイベント・グループのタイミング調整方法。

【請求項 12】

請求項 10 または 11 記載の方法において、さらに、

前記イベントのタイミングを表すイベント・タイミング信号を発生するスラップであって、前記イベント・タイミング信号が、前記多相クロックに同期した、前記のイベント・タイミング信号発生スラップ、

を含むこと、を特徴とするタイミング調整方法。

【請求項 13】

請求項 10 または 11 記載の方法において、前記多相クロック発生ステップは、さらに、

前記イベントに関連する基準信号に同期して前記多相クロックを発生するステップ、

を含むこと、を特徴とするタイミング調整方法。

【請求項 14】

請求項 13 記載の方法において、前記多相クロックは、互いに等間隔の複数の位相クロックから成ること、を特徴とするタイミング調整方法。

【請求項 15】

請求項 14 記載の方法において、前記位相クロックは、これに対応するタイミング調整量を表すクロック部分を有すること、を特徴とするタイミング調整方法。

【請求項 16】

請求項 14 記載の方法において、前記イベントは、光デバイス記録媒体におけるイベントであること、を特徴とするタイミング調整方法。

【請求項 17】

請求項 15 記載の方法において、前記光デバイス記録媒体におけるイベントは、前記光デバイス記録媒体への書き込みのための書き込みパルスのパルス幅調整における前記書き込みパルスの立ち上がりイベントおよび立ち下がりイベントであり、

前記書き込みパルスは、前記光デバイス記録媒体への書き込みに使用するレーザの出力制御のタイミングを定めるものであること、を特徴とするタイミング調整方法。

【請求項 18】

請求項 16 記載の方法において、前記イベント・タイミング信号発生ステップは、前記書き込みパルスから、前記イベント・タイミング信号を発生すること、を特徴とするタイミング調整方法。

【請求項 19】

請求項 17 記載の方法において、さらに、

前記イベント変更タイミング信号から、タイミング変更後の書き込みパルスを発生するスラップ、を含むこと、を特徴とするタイミング調整方法。

【請求項 20】

請求項 13 から 19 のいずれかに記載の方法において、前記多相クロック発生スラップは、さらに、前記イベントに関連する基準信号を、前記光ファイバ記録媒体のウォツプル信号から得るスラップ、を含むこと、を特徴とするタイミング調整方法。

【請求項 21】

請求項 14 から 20 のいずれかに記載の方法において、前記光ファイバ記録媒体は、CAV方式、ゾーンCLV方式、またはCLV方式のいずれかの回転制御方式を有すること、を特徴とするタイミング調整方法。

【請求項 22】

請求項 14 記載の方法において、前記イベントは、デジタル転送データにおけるイベントであること、を特徴とするタイミング調整方法。

【請求項 23】

請求項 22 記載の方法において、前記多相クロックは、前記デジタル転送データの転送クロックから発生すること、を特徴とするタイミング調整方法。

【請求項 24】

請求項 10 または 11 に記載の方法において、前記多相クロック使用スラップは、

前記イベントに適用するタイミング調整量を指定する調整量入力を受けるスラップと、前記多相クロックから、前記調整量入力に対応した前記タイミング調整量を有する 1 つの前記位相クロックを、前記イベント変更タイミング信号として選択する選択スラップと、を含むこと、を特徴とするタイミング調整方法。

【請求項 25】

請求項 24 記載の方法において、前記使用スラツプは、さらに、

前記イベント変更タイミツク信号を前記イベントに適用するスラツプ、

を含むこと、を特徴とするタイミツク調整方法。

【請求項 26】

請求項 10 または 11 に記載の方法において、前記タイミツク調整は、タイミ

ツク遅延を行うことから成ること、を特徴とするタイミツク調整方法。

【請求項 27】

請求項 10 または 11 記載の方法において、前記複数の異なったタイミツク調

整量は、所定の範囲内にあること、を特徴とするタイミツク調整方法。

【請求項 28】

イベントのタイミツクを調整するタイミツク調整回路であって、

多相クロツクを発生する多相クロツク発生手段であって、該多相クロツクが、

前記イベントに対し適用する複数の異なった調整量をそれぞれ表す位相の異なっ

た複数の位相クロツクから成る、前記の多相クロツク発生手段と、

前記多相クロツクからの任意の 1 つの前記位相クロツクを使用して、前記イベ

ントの変更したタイミツクを表すイベント変更タイミツク信号を発生する多相ク

ロック使用手段と、

から成るタイミツク調整回路。

【請求項 29】

複数のイベントから成る 1 つのイベント・グループのタイミツクを調整するイ

ベント・グループのためのタイミツク調整回路であって、

前記イベント・グループを各々のイベントに分解するイベント分解手段と、

イベントグループ・タイミツク調整手段であって、前記分解したイベントの各

々に対し設けた請求項 28 記載のタイミツク調整回路から成る、前記のイベント

グループ・タイミツク調整手段と、

から成るイベント・グループのためのタイミツク調整回路。

【請求項 30】

請求項 29 記載の回路において、さらに、

前記イベント・グループ内の各前記イベントに対する前記タイミツク調整回路

が発生する前記イベント変更タイミンク信号を受けて、これらを合成した合成イベント変更タイミンク信号を発生する合成手段、
を含むこと、を特徴とするタイミンク調整回路。

【請求項 31】

請求項 30 記載の回路において、前記イベントの各々に対しそれぞれ設けた前記タイミンク調整回路は、1つの共通の多相クロック発生手段を含むこと、を特徴とするタイミンク調整回路。

【請求項 32】

請求項 28 または 29 に記載の回路において、さらに、
前記イベントのタイミンクを表すイベント・タイミンク信号を発生する手段、
を含み、前記イベント・タイミンク信号は、前記多相クロックに同期していること、を特徴とするタイミンク調整回路。

【請求項 33】

請求項 32 記載の回路において、前記タイミンク調整は、タイミンク遅延を行うことから成ること、を特徴とするタイミンク調整回路。

【請求項 34】

請求項 32 記載の回路において、前記複数の異なったタイミンク調整量は、所定の範囲内にあること、を特徴とするタイミンク調整回路。

【請求項 35】

請求項 34 記載の回路において、前記多相クロック使用手段は、前記イベント・タイミンク信号を受け、このイベント・タイミンク信号を遅延させることによって、前記多相クロックのみによる前記タイミンク調整量を拡大する拡大手段を含むこと、を特徴とするタイミンク調整回路。

【請求項 36】

請求項 28 または 29 に記載の回路において、前記多相クロック発生手段は、前記イベントに関連する基準信号に同期して前記多相クロックを発生する PLL 回路手段、
を含むこと、を特徴とするタイミンク調整回路。

【請求項 37】

請求項 36 記載の回路において、前記イベントは、光デバイス記録媒体におけるイベントであることを、特徴とするタイミング調整回路。

【請求項 38】

請求項 37 記載の回路において、前記光デバイス記録媒体におけるイベントは、前記光デバイス記録媒体への書き込みのための書き込みパルスのパルス幅調整における前記書き込みパルスの立ち上がりイベントおよび立ち下がりイベントであり、前記書き込みパルスは、前記光デバイス記録媒体への書き込みを使用するレーザの出力制御のタイミングを定めるものであること、を特徴とするタイミング調整回路。

【請求項 39】

請求項 38 記載の回路において、前記イベント・タイミング信号発生手段は、前記書き込みパルスから、前記イベント・タイミング信号を発生すること、を特徴とするタイミング調整回路。

【請求項 40】

請求項 39 記載の回路において、前記多相クロック使用手段は、さらに、前記イベント変更タイミング信号から、タイミング変更後の書き込みパルスを発生する手段、

を含むこと、を特徴とするタイミング調整回路。

【請求項 41】

請求項 36 から 40 のいずれかに記載の回路において、さらに、前記多相クロック発生手段は、

前記イベントに関連する基準信号を、前記光デバイス記録媒体のウォツル信号から得る手段、

を含むこと、を特徴とするタイミング調整回路。

【請求項 42】

請求項 41 記載の回路において、前記光デバイス記録媒体は、CAV方式、ゾンCLV方式、又はCLV方式のいずれかの回転制御方式を有すること、を特徴とするタイミング調整回路。

【請求項 43】

請求項 28 または 29 に記載の回路において、前記多相クロック使用手段は、前記イベントに適用するタイミング調整量を指定する調整量入力を受ける手段と、前記多相クロックから、前記調整量入力に対応した前記タイミング調整量を有する 1 つの前記位相クロックを、前記イベント変更タイミング信号として選択する選択手段と、を含むこと、を特徴とするタイミング調整回路。

【請求項 44】

請求項 43 に記載の回路において、前記多相クロック使用手段は、さらに、前記イベント変更タイミング信号を前記イベントに適用する適用手段、を含むこと、を特徴とするタイミング調整回路。

【請求項 45】

請求項 28 から 44 のいずれかに記載のタイミング調整回路を備えた、光ディスプレイ・レコーダ用のパルス幅調整装置。

【請求項 46】

請求項 45 に記載のパルス幅調整装置を備えた光ディスプレイ・レコーダ。

【請求項 47】

請求項 46 に記載の光ディスプレイ・レコーダにおいて、前記光ディスプレイ・レコーダは、CD-R、CD-RW、DVD-R、DVD-RW、DVD+R、DVD+RW または DVD-RAM 装置であること、を特徴とする光ディスプレイ・レコーダ。

【請求項 48】

請求項 28 から 36、43、44 のいずれかに記載のタイミング調整回路を備えた同期化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的イベントのような種々のイベントのタイミングを調整するための方法および装置に関するものである。

【0002】

【従来の技術】

従来、電氣的イベント、例えば信号における遷移の發生タイミングを調整する方法として、固定遅延量の素子を使用する方法が用いられている。すなわち、多数の固定遅延量の素子を組み合わせて使用することによって、タイミング調整のための所要の遅延量を生成することができる。遅延素子としては、種々の公知の素子が可能であり、例えばバッファ・チェーン、遅延線等がある。

【0003】

上記のようなタイミング調整は、種々の分野で必要であるが、特に高度のタイミング調整が要求される分野としては、1例として、CD、DVDのような光ディスク媒体への記録装置における書き込みパルスのパルス幅調整の分野、データ伝送におけるデジタル転送データの同期化の分野がある。

【0004】

例えば、CD-R/-RW、DVD-R/-RW/+R/+RW/-RAM装置等（以下、光ディスク・レコーダと総称する）では、ディスクに書き込まれるビットの形状を整えるために、ディスクへの書き込みを使用するレーザの出力の微調整を行う必要がある。通常、この微調整は、レーザ出力のON/OFFをパルス制御することによって行っている。

【0005】

このようなタイミング調整あるいは光ディスク記録におけるレーザ出力の微調整としては、従来、記録装置において、上記のように多数の固定遅延素子により、パルス遅延量を制御するようにしたものがある。また、遅延素子数（サイス）の削減を実現したものととして、広範囲な遅延制御量を確保するため、比較的長い単位で遅延量を変更できる多数の遅延素子と短い単位で遅延量を変更できる多数の遅延素子の2種類を用意したものが知られている（例えば、特許文献1参照）。しかし、このような従来技術の方法では、多数の遅延素子を用いる構造のため、製造プロセスの変動に起因して各遅延素子の遅延絶対量に個体差が生じ、また、遅延素子を実現する回路構成に起因して、その絶対遅延量が、周囲温度、電源電圧の変動の影響を受けやすいという問題がある。また、書き込みパル

入の調整には、多数の遅延素子を各々含む複数の遅延ユニットを必要とするが、遅延ユニットは比較的大きいため、集積回路（IC）上の配置場所によって絶対遅延量が異なるため、全ての遅延ユニットで、同一の遅延量を発生するように設計したタップ位置での遅延（タップ遅延）を得ることが困難である。さらに、構成上、遅延量最小のタップ（ゼロ遅延）を選択しても、相当量の固定遅延（オーバーヘッド）が発生するため、これを打ち消すための遅延素子列を別途用意する必要が生ずる。また、その遅延量がゼロ遅延と同じになるよう合わせ込む必要があるが、事実上正確に合わせ込むことは難しく、また、一度合わせ込んでも、製造プロセスの変動等の要因により誤差が生じてくる可能性もある。

【0006】

加えて、遅延素子1個当たりの遅延量が固定されているため、光デバイスへの書き込み倍速を変更すると、書き込みパルスに対する遅延調整量も大きく変更しなければならぬ。また、同様の理由により、高倍速の書き込みでは、相対的に調整分解能が低くなり、また一方、低速書き込みをサポートするためには長い遅延が必要となり、より多くの遅延素子を用意しておく必要がある。このことは、昨今のサブミクロン・プロセスでは、素子1つ当たりの遅延量が増えます小さくなってきているが、上記のような従来の構成では、同様な遅延量を得るためには遅延素子数を増やす以外に方法が無く、回路面積の増大も避けられない。

【0007】

また、書き込みパルスの幅は、高倍速になるに従い細くなる。一方、遅延素子の構成によっては、パルスの立ち上がり遅延と立ち下がり遅延に微妙な差が生じるが、このような遅延素子を多数直列に接続すると、遅延差が積算され、パルスが遅延ユニット通過途中に消失してしまう問題も生ずる。さらに、回転制御の容易なCAV（Constant Angular Velocity）でデバイスを回転させると、フェイス面上の書き込み位置の円周の差によって書き込み倍速が徐々に変化していくことに対応して遅延調整量も徐々に変化させる必要があるが、従来の方法では、書き込み位置によって遅延量を階段状にしか補正変更することができず、複雑な制御が必要になるという問題もある。

【0008】

別の従来技術として、半導体レーザ駆動方法およびこれを用いた光ディスプレイ装置において、半導体レーザの発振遅延（電流印加から発光までの遅延）の特性を利用したものが知られている（特許文献2参照）。これにおいては、書き込みに必要なパワーを印加する直前の電流（ボトム電流）の大きさによって、書き込み電流印加からレーザ発振までの遅延を制御できることを利用している。書き込み速度の変化に応じてボトム電流値を制御することにより、CAV書き込みを実現することができる。また、記録装置において、書き込みパルスの時間精度を保つための手法を開示した文献がある（特許文献3参照）。その手法では、検出したエラー量に対応するDUTY（遅延）を発生する素子を用い、そしてフイードバック・ループを構成してその時間精度を保つようにしている。

【0009】

また、光ディスプレイ用光パルス幅制御装置において、制御信号によって遅延量を可変できる遅延素子を用い、この遅延量を定期的に補正することによってパルス幅の精度を確保する手法を用いたものが知られている（特許文献4参照）。

【0010】

さらに、情報記録装置において、CAV回転制御されている光ディスクに対してCLV書き込みを行う際に、レーザパワーを最適に制御する手法を用いたものが知られている（特許文献5参照）。これでは、ウォツブル周波数に応じてレーザパワーを制御するようにしているが、レーザ制御パルス幅の制御方法まで言及されていない。製品として実施する場合には、パワーとパルス幅の両方の制御が必要となる。

【0011】

【特許文献1】

特開 2001-209958号公報

【特許文献2】

特開 2002-123963号公報

【特許文献3】

特開 2002-50045号公報

【特許文献4】

特開平 8-87834 号公報

【特許文献 5】

特開 2000-76684 号公報

【0012】

【発明が解決しようとする課題】

したがって、本発明の目的は、任意のイベントのタイミング調整をより簡単にまたはより正確に実現するためのイベント・タイミング調整の方法および装置を提供することである。

【0013】

本発明の別の目的は、可変のタイミング調整分解能を提供できる、上記のようなイベント・タイミング調整の方法および装置を提供することである。

本発明のさらに別の目的は、可変のタイミング調整範囲を提供できる、上記のようなイベント・タイミング調整の方法および装置を提供することである。

【0014】

本発明のさらに別の目的は、光ファイバ・レコーダ用のパルス幅調整装置を提供することである。

本発明のさらに別の目的は、デジタル転送データにおける同期化装置を提供することである。

【0015】

【課題を解決するための手段】

上記目的を達成するため、本発明によるイベントのタイミングを調整するタイミング調整方法では、多相クロックに基づきイベントのタイミング調整を行うようにする。

【0016】

本発明によれば、前記イベントは、電氣的なイベントとすることができ、また前記電氣的イベントは、複数の電氣的状態間における少なくとも 1 つの遷移とすることができ、さらに、前記電氣的状態間の遷移は、所与のパルスにおける立ち上がりまたは立ち下がりとすることができ、そしてこの場合、前記多相クロックは、前記所与のパルスに関する基準信号から発生するようにでき、そしてこの

場合、前記多相クロックのうちの選択した1つを、前記所与パルスにおける立ち上がりまたは立ち下がりを構成するのに使用することができる。

【0017】

また、本発明によれば、前記電氣的狀態間の遷移は、デジタル転送データにおける遷移とすることができる。この場合、前記多相クロックは、前記デジタル転送データの転送クロックから発生するようにできる。同じく、前記多相クロックのうちの選択した1つは、前記デジタル転送データにおけるタイミング調整後の遷移を構成するのに使用するようにできる。

【0018】

さらに、本発明による、1つのイベントのタイミングを調整するタイミング調整方法は、多相クロックを発生する多相クロック発生スラップであって、該多相クロックが、前記イベントに対し適用する複数の異なったタイミング調整量をそれぞれ表す位相の異なった複数の位相クロックから成る、前記の多相クロック発生スラップと、前記多相クロックからの任意の1つの前記位相クロックを使用し、前記イベントの変更したタイミングを表すイベント変更タイミング信号を発生する多相クロック使用スラップと、から成る。

【0019】

また、本発明による複数のイベントから成る1つのイベント・グループのタイミングを調整するタイミング調整方法は、前記イベント・グループを各々のイベントに分解するスラップと、そして該分解したイベントの各々に対し、上記のタイミング調整方法を実施するスラップと、から成る。

【0020】

本発明によれば、本発明のタイミング調整方法は、さらに、前記イベントのタイミングを表すイベント・タイミング信号を発生するスラップであって、前記イベント・タイミング信号が、前記多相クロックに同期した、前記のイベント・タイミング信号発生スラップ、を含むようにできる。この場合、前記多相クロック発生スラップは、さらに、前記イベントに関連する基準信号に同期して前記多相クロックを発生するスラップ、を含むようにできる。

【0021】

また、本発明によれば、前記多相クロックは、互いに等間隔の複数の位相クロックから成るようにでき、また、前記位相クロックは、これが対応するタイミング調整量を表すクロック部分を有するようにできる。

【0022】

また、本発明によれば、前記イベントは、光ダイオード記録媒体におけるイベントとすることができる。この場合、前記光ダイオード記録媒体におけるイベントは、前記光ダイオード記録媒体への書き込みパルスのパルス幅調整における前記書き込みパルスの立ち上がりイベントおよび立ち下がりイベントであり、前記書き込みパルスは、前記光ダイオード記録媒体への書き込みを使用するレーザの出力制御のタイミングを定めるものとしてすることができる。この場合、前記イベント・タイミング信号発生スamppは、前記書き込みパルスから、前記イベント・タイミング信号を発生するようにでき、そしてさらに、前記イベント変更タイミング信号から、タイミング変更後の書き込みパルスを発生するスampp、を含むようにできる。

【0023】

本発明によれば、前記多相クロック発生スamppは、さらに、前記イベントに関連する基準信号を、前記光ダイオード記録媒体のウオツプル信号から得るスamppを含むようにできる。また、前記光ダイオード記録媒体は、CAV方式、ゾーシCLV方式、またはCLV方式のいずれかの回転制御方式を有することができる。

【0024】

また、本発明によれば、前記イベントは、デジタル転送データにおけるイベントとすることができる。この場合、前記多相クロックは、前記デジタル転送データの転送クロックから発生することができる。

【0025】

また、本発明によれば、前記多相クロック使用スamppは、前記イベントに適するタイミング調整量を指定する調整量入力を受けるスamppと、前記多相クロックから、前記調整量入力に対応した前記タイミング調整量を有する1つの前記位相クロックを、前記イベント変更タイミング信号として選択する選択スampp

プと、含むようにできる。この場合、前記使用スラツプは、さらに、前記イベント変更タイミツグ信号を前記イベントに適用するスラツプ、を含むようにできる。

【0026】

さらに、本発明による、イベントのタイミツグを調整するタイミツグ調整回路は、多相クロツクを発生する多相クロツク発生手段であつて、該多相クロツクが、前記イベントに対し適用する複数の異なつた調整量をそれぞれ表す位相の異なつた複数の位相クロツクから成る、前記の多相クロツク発生手段と、前記多相クロツクからの任意の1つの前記位相クロツクを使用して、前記イベントの変更したタイミツグを表すイベント変更タイミツグ信号を発生する多相クロツク使用手段と、から成る。

【0027】

また、本発明による、複数のイベントから成る1つのイベント・グループのタイミツグを調整するイベント・グループのためのタイミツグ調整回路は、前記イベント・グループを各々のイベントに分解するイベント分解手段と、イベント・グループ・タイミツグ調整手段であつて、前記分解したイベントの各々に対し設けた上記のタイミツグ調整回路から成る、前記のイベントグループ・タイミツグ調整手段と、から成る。また、本発明によれば、タイミツグ調整回路は、さらに、前記イベント・グループ内の各前記イベントに対する前記タイミツグ調整回路が発生する前記イベント変更タイミツグ信号を受けて、これらを合成した合成イベント変更タイミツグ信号を発生する合成手段、を含むようにできる。また、前記イベントの各々に対しそれぞれ設けた前記タイミツグ調整回路は、1つの共通の多相クロツク発生手段を含むようにできる。

【0028】

本発明によれば、タイミツグ調整回路は、さらに、前記イベントのタイミツグを表すイベント・タイミツグ信号を発生する手段、を含み、前記イベント・タイミツグ信号は、前記多相クロツクに同期したものとすることができる。この場合、前記多相クロツク使用手段は、前記イベント・タイミツグ信号を受け、このイベント・タイミツグ信号を遅延させることによって、前記多相クロツクのみによ

る前記タイミング調整量を拡大する拡大手段を含むようにできる。

【0029】

また、本発明によれば、前記多相クロック発生手段は、前記イベントに関連する基準信号に同期して前記多相クロックを発生するPLL回路手段、を含むようにできる。

【0030】

また、本発明によれば、前記多相クロック使用手段は、前記イベントに適用するタイミング調整量を指定する調整量入力を受ける手段と、前記多相クロックから、前記調整量入力に対応した前記タイミング調整量を有する1つの前記位相クロックを、前記イベント変更タイミング信号として選択する選択手段と、を含むようにできる。また、前記多相クロック使用手段は、さらに、前記イベント変更タイミング信号を前記イベントに適用する適用手段、を含むようにできる。

【0031】

さらに、本発明による光ファイバ・レコータ用のパルス幅調整装置は、上記のタイミング調整回路を備えたことを特徴とする。

また、本発明による、光ファイバ・レコータは、上記のパルス幅調整装置を備えたことを特徴とする。

【0032】

【発明の実施の形態】

以下、本発明の実施形態について、図面を参照して詳細に説明する。

図1には、本発明のタイミング調整装置の基本的な構成を示している。図示のように、このタイミング調整装置は、イベント入力を受ける入力端子1を有し、そしてこの端子で受けたイベント入力を受ける多相クロック使用部3と、この使用部3に対し発生した多相クロックを供給する多相クロック発生部5とを備えている。多相クロック使用部3は、受けたイベント入力に対し、受けた多相クロックを使用することによって、イベント入力のタイミングを調整し、そしてこの調整後のイベントを出力端子7に発生する。

【0033】

本発明のこのタイミング調整装置によれば、多相クロックに含まれる複数の位

相クロックのうちの任意の位相クロックを用いることによって、その選択した位相クロックの位相遅れ（相間遅延）に応じた遅延量（遅延量の1単位が、相間遅延）を入力イベントに対し与えることができ、従来のような固定の遅延量をもつ遅延素子を使用する必要がなくなる。この多相クロックを用いることにより、製造プロセス、周囲温度、電源電圧のような変動パラメータの影響を受けにくくなる。この結果、より簡単な回路構成で、より正確なタイミング調整を実現することができる。また、多相クロックの周波数を高くすることにより、タイミング調整の分解能を容易に高めることができる。また、このタイミング調整分解能の向上は、多相クロックに含まれる位相クロックの数、すなわち相数を多くすることによっても実現できる。さらに、多相クロックの周期を長くしたり、あるいは多相クロックの適用位置を多相クロックの1周期単位で移動することによって、タイミング調整範囲を大きくすることができる。

【0034】

次に、図2を参照して、図1に示したタイミング調整装置をより具体化した1実施形態である、光ファイバ・レコーダ用のパルス幅制御装置Aを説明する。ここで、光ファイバとは、本明細書では、CD-R/-RW、DVD-R/-RW/+R/+RW/-RAM装置等を指すものとする。また、光ファイバ・レコーダにおける回転制御方式としては、CLV (Constant Line Velocity)、ゾーンC LV、CAV (Constant Angular Velocity) のいずれの方式でも良いが、本発明は、CAV方式での使用において最も効果を発揮するものである。尚、周知のように、記録型光ファイバにおいて、データを記録したトラックからは、このトラックの線速度を表すウォツアル信号を得ることができる。図2に示したこのパルス幅制御装置Aは、図1の装置の各要素に対応して、光ファイバへの書き込みデータを受ける入力端子1Aと、複数(k個)の遅延ユニット(または遅延タッピング回路)30A-1〜kから成る遅延ユニット部3Aと、多相クロック発生器5Aと、出力端子7Aとを備えている。さらにまた、本装置Aは、図示のよう

【0035】

うにパルス発生器2Aおよびパルス合成器32Aも備えている。

詳細には、パルス発生器 2A は、書き込みたいビット信号列に相応する書き込

みパルスを生成するための任意のロジック回路で構成可能な回路であって、1つ
の入力に、入力端子 1A からの図 3 に示したような書き込みデータを受け (図 3
 (b) では “8T” の書き込みデータの例を示す)、そして別の 1 つの入力に、

多相クロック発生器 5A の発生する多相クロックのうちの 1 つの位相クロックを
受け、そして図 3 に示すように、書き込みデータから所定の方法で書き込みパル
スを生成する。書き込みデータから書き込みパルスへの変換は、種々の方法が可

能である。パルス発生器 2A は、この生成した書き込みパルスを所定の分解方法
でパルスまたはパルス列に分解する。図 3 に示した “8T” の書き込みデータの
分解例で説明すると、図 3 (c) の書き込みパルスは、複数のイベントのグルー

プから成るものとみなし、そして各イベントに分解するため、初期パルスの立ち
上がり部分 (1) と、その立ち下がり部分 (2)、初期パルスに後続する 5 つの
中間パルスの立ち上がり部分 (3) と、その立ち下がり部分 (4)、次に続く最

終パルスの立ち上がり部分 (5) と、その立ち下がり部分 (6)、そして最後の
クエリング・パルスの終了エッジ (7) の 7 種類に分解する。尚、この分解方法
は、一例に過ぎず、他の方法で分解することも可能であり、したがってビット長

およびその分解方式に依存するものである。これら分解されたパルス部分は、遅
延タッピング回路 30A-1~k の対応する 1 つに供給する。尚、このようなパ
ルス発生器は、その出力波形のパターンが規格化されており、任意のロジック回

路で構成できるが、その 1 実施形態については、図 10 を参照して後述する。ま
た、図 2 では、パルス発生器 2A と遅延タッピング回路 30A-1~k との接続
は、簡略化して図示している。さらに、パルス発生器 2A は、多相クロック発生

器 5A からの選択した任意の 1 つの位相クロック (図 3 (a) に示す) に同期し
て動作するため、書き込みパルスの立ち上がりおよび立ち下がりの各エッジは、
後述のように、その位相クロックと一致する (図 3 (a) と (c) を参照)。

【0036】

一方、多相クロック発生器 5A は、図示のように、水晶クロック発振器等で発
生した固定周波数信号または CD に記録された上記ウオツプル信号のような基準
信号を受ける入力端子 50A と、これからの基準信号を受ける入力をする多相

クロック PLL52A とを備えている。多相クロック PLL52A は、種々の構

成のものが使用可能であるが、1 例は、図 9 を参照して後述する。この多相クロ

ック PLL52A は、基準信号に同期することによって、その周波数の M/N 倍

の周波数の多相クロックを発生する。例えば、基準信号として CD からのウォ

ブル信号を使用することにより、多相クロック PLL は、CD の書き込み倍速に

応じた周波数のクロックを発生できる。また、多相クロックとして、例えば 16

相クロックを生成する場合、書き込み速度が低い場合には、PLL 内の単相の電

圧制御発振器 (VCO) を PLLクロックの 16 倍の周波数で高速発振させ、こ

れを分周することにより、また書き込み速度が速い場合には、VCO を 8 段の差

動のリングオシレータ構成として各々の差動バックからクロックを取り出すこ

とにより容易に実現できる。この多相クロック PLL52A で生成する多相クロ

ックの相数は、実現したいタツプ遅延の分解能によって決まる。例えば、PLL

クロック周期に対して 16 倍分解能のタツプ遅延を得るには、16 相の位相クロ

ックが必要となる。多相クロック PLL52A が発生するこの多相クロックは、

全相とも遅延タツプ回路 30A-1 ~ k の各々に供給される。また、このう

ちの 1 相 (通常の場合 0 相) が、上記のようにパルス発生器 2A にも供給され

ることによって、図 3 に示したように、この 1 相のクロックのエッジと位相の一

致した書き込みパルスが生成される。ここで、どの相クロックを使って書き込み

パルスを生成するかを選択可能な構成にしておけば、後に説明する入力レジスタ

における入力タイミングの調整を行うことができる。尚、図 5 には、この 16 相

の多相クロックの例を示している。

【0037】

この図 5 に示した多相クロックは、図示のように、16 個の位相クロック、す

なわち 0 相 ~ 15 相 (Phase 00 ~ 15) クロックから成っている。これ

ら位相クロックは、互いに等しい量 θ だけ、すなわち、PLLクロックの 16 分

の 1 の位相だけ互いに順番にずれている。数 "16" は、タツプ遅延分解能、す

なわち、PLLクロック 1 周期に対する相対遅延分解能に一致している。

【0038】

次に、遅延ユニット部 3A に含まれる k 個の遅延タツプ回路 30A-1 ~

kの各々は、1つの入力に、パルス発生器2Aからの書き込みパルスの対応する分解パルス部分、例えば図3の例では7つの分解パルス部分のうちの1つを受け、そしてまた、別の1つの入力に、上記のように多相クロックPL52Aから多相クロックの全相を受ける。このような入力を受ける遅延タッピング回路30A-1〜kの各々は、対応する分解パルス部分に関して指定された遅延量を、その分解パルス部分に与え、そしてその結果の遅延済み分解パルス部分を出力に発生する。本発明では、この遅延量の付与は、対応する遅延量をもつ多相クロックのうちの位相クロックを1つ選択し、これを分解パルス部分として出力することによって行う。図3には、各分解パルス部分の遅延およびその量を、図3(c)と(d)との間に矢印で示している。尚、遅延タッピング回路の詳細は、図4を参照して後述する。

【0039】

パルス合成器32Aは、各遅延タッピング回路30A-1〜kからの遅延済み分解パルス部分を受け、複数の入力を受け、そしてこれらパルス部分を後段の回路(図示せず)使用するのに適した形に合成し、それによってタイミング調整により光ダイオードへの書き込みに対し最適化した書き込みパルスを出力端子7Aに発生する。この最適化後の書き込みパルスは、図3(d)に示しているが、この図示例では、すべての遅延済み分解パルス部分を1つに合成したものである。この最適化書き込みパルスによって、図3(d)に示したように、バイアスパワー・レベル、消去パワー・レベル、記録パワー・レベル等の複数の異なったレベルで光ダイオードへの書き込み用レーザを制御することにより、図3(e)に示したピットが光ダイオードに形成する。

【0040】

以上のパルス幅制御装置Aの動作をまとめると、この装置Aにおいては、図3(b)の書き込みデータを入力端子1Aに受けると、このデータに関連したあるいはそれとは独立の基準信号から多相クロック発生器5Aで多相クロックを発生し、そしてパルス発生器2Aが、この多相クロックのうちの1相のクロック(図3(a))に同期して書き込みデータから書き込みパルス(図3(c))を発生すると共にこれらを分解して1組の分解パルス部分を生成し、そして遅延タッピ

シグ回路 30A-1~k の各々がこれら分解パルス部分に対し指定された遅延量を有する多相クロックのうちの 1 つの位相クロックを選択してこれを遅延済み分解パルス部分として出力し、そしてこれら遅延済み分解パルス部分をパルス合成器 32A で合成して最適化書き込みパルス (図 3 (d)) を発生する。

【0041】

次に、図 4 を参照して、遅延タッピシグ回路 30A-1~k を詳細に説明する。尚、遅延タッピシグ回路はいずれも同じ回路構成のものであるので、遅延タッピシグ回路 30A-k のみを説明する。ここでは、一例として、PLL クロック周期に対して 16 倍の分解能でタッピ遅延を取り出せる遅延タッピシグ回路を示す。図 4 に示したように、この遅延タッピシグ回路は、大きく分けて、図 2 のパルス発生器 2A からの 1 つの分解パルス部分であるパルス入力を受ける入力端子 300A と、当該遅延タッピシグ回路で実現する遅延量を指定するための 2 進 4 ビットの選択信号を受ける遅延指定入力端子 302A と、入力レジスタ 301A およびタイミング調整用レジスタ 304A と、上位レジスタ群 306A および下位レジスタ群 308A と、デコーダ 310A と、選択回路 312A と、そしてこの選択回路からの遅延済み分解パルス部分であるパルス出力を発生する出力端子 314A とを備えている。

【0042】

詳細には、入力レジスタ 301A は、入力端子にパルス入力を受け、そしてクロック端子に図 2 の多相クロック PLL 52A からの多相クロックのうち、00 相クロックの反転クロックである 08 相クロックを受けるフリップフロップ (F/F) であり、これによって、00 相に同期したパルス入力を 08 相クロックに同期させて出力する。すなわち、入力レジスタ 301A は、次のレジスタ 304A、および上位レジスタ群 306A に対して十分な時間マージンを確保するため (180 度) だけ遅延させることによって、上位レジスタ群 306A の各レジスタへ入力するパルス P1 の相対遅延を常に一定に保つことができる。尚、多相クロック PLL 52A が発生する多相クロックは、図 5 に示したように、00 相~15 相 (Phase 00~15) クロックから成っている。ここで、入力レジスタ 3

01AのバースP1は、00相～07相クロックを受ける上位レジスタ群306Aの各レジスタへの入力供給する。次に、タイミング調整用レジスタ304Aは、入力端子に入力レジスタ301Aからのバース出力P1を受け、クロック端子に00相クロックを受けるF/Fであり、これによって、入力レジスタ301Aの出力を、PLLクロックの1/2周期(180度の位相)だけ遅延させるように動作する。このタイミング調整用レジスタ304AのバースP2は、08相～15相クロックを受ける下位レジスタ群308Aの各レジスタへの入力供給する。このタイミング調整用レジスタ304Aもまた、次の下位レジスタ群308Aに対して十分な時間マージンを確保するための役割を果たし、これによって、下位レジスタ群308Aが、00～07相クロックと同一のPLLクロック周期内に存在する08相～15相クロックに応答するよう確保する。

【0043】

上位レジスタ群306Aは、それぞれ並列に配置された8個のレジスタで構成されている。各レジスタは、入力端子にバースP1を受け、そしてクロック端子に00相～07相クロックのうちの対応する位相クロックを受けるF/Fから成っている。これら各F/Fは、受ける位相クロックの位相遅れに対応する時間(03相の場合、 $\theta \times 3$)だけバースP1を遅延させて出力するように動作する。別の見方をすれば、対応する位相クロックを遅延済みバースの発生タイミングとして選択使用しているとも言える。一方、下位レジスタ群308Aも、上位と同様に、並列に配置された8個のレジスタで構成されているが、異なる点は、各F/Fが入力端子にバースP2を受け、そして位相クロックとして08～15相クロックを受けることである。

【0044】

次に、デコーダ310Aは、4ビット選択信号を受ける入力有し、そしてこの選択信号が表す遅延量に対応するF/F出力、すなわち、上位および下位のレジスタ群306Aおよび308Aのうちのいずれか1つのF/Fの出力の選択を示すF/F選択信号を出力に発生する。このデコーダは、任意のロジック回路で構成することができるが、その1実施形態は、図6を参照して後述する。

【0045】

選択回路 312Aは、デコーダ 310AからのF/F選択信号を受ける入力を有し、また、レジスタ群 306Aおよび308Aの各F/F出力を受ける入力を有している。この選択回路 312Aは、動作として、F/F選択信号が表すF/F出力を選択し、そしてこの選択したF/F出力を出力端子 314Aに供給する。この選択回路は、任意のロジック回路で構成することができるが、その1実施形態は、図6を参照して説明する。

【0046】

以上の構成により、遅延タッピング回路 30A-1～kの各々は、全体として、入力端子 300Aに受けたパルス入力に関して、遅延指定入力端子 302Aで受けた4ビット選択信号により、この選択信号が指定する遅延量だけ遅延した多相クロック中の位相クロックを選択することによって、遅延済みのパルス出力を出力端子 314Aに発生するよう動作する。

【0047】

次に、図6を参照して、図4中のデコーダ 310Aと選択回路 312Aの各々を詳細に説明する。まず、選択回路 312Aについて説明すると、この回路 312Aは、4つの下位スイッチ・グループSW00～03、SW04～07、SW08～11、SW12～15と、4つの上位グループ・スイッチGSW0～3とから構成している。詳細には、図4のレジスタ群 306Aおよび308Aに含まれる16個のF/Fからの出力を4つのグループに分割し、そしてこれらF/F出力グループに対し、4つの下位スイッチ・グループの各々を割り当てている。すなわち、スイッチSW00～03の入力端子は、00～03相クロック(F/F出力を、説明の都合上それぞれ00～03相クロックとして識別している)をそれぞれ受けるように接続し、そしてこれらスイッチの出力端子は互いに接続することによって、グループ出力GO0を形成する。これらスイッチSW00～03の各々は、スイッチのオン/オフを制御する信号を受ける制御入力を持っており、したがってオンにされたスイッチの入力のみがグループ出力GO0として発生される。同様にして、スイッチSW04～07の入力端子は04～07相クロックをそれぞれ受け、そしてグループ出力GO1を形成し、また、スイッチSW08～11の入力端子は08～11相クロックをそれぞれ受け、そしてグループ

出力G02を形成し、そしてスイッチSW12～15の入力端子は12～15相クロックをそれぞれ受け、そしてグループ出力G03を形成している。一方、グループ出力G00～G03は、グループ・スイッチG SW0～3の入力端子にそれぞれ接続し、そしてこれらスイッチの出力端子は、互いに接続して出力端子314Aに接続している。また、グループ・スイッチG SW0～3は、各々、オン／オフを制御する信号を受ける制御入力有している。この回路構成においては、16者択一選択回路の場合、同一構成の4つのスイッチから成るスイッチ組を5つ配置することにより構成できる。また、この構成では、どのパスを選択しても、同一個のスイッチを通過するため、同じ伝播遅延で信号を選択することができ。

【0048】

一方、デコーダ310Aは、4ビットの選択信号で、16の異なった遅延量のうちの1つを指定するため、4つの下位ANDゲートG0～G3と、上位ANDゲートG4～G7とから構成されている。下位ANDゲートは、図示のような反転器の接続および配線接続により、下位2ビット（ビット0と1）が0から1つ増分するにつれ、ハイレベルの出力がG0からG3へ移動することにより、4つの下位スイッチ・グループのうちの1つのスイッチをオンにする。一方、上位ANDゲートG4～G7は、図示のような反転器の接続および配線接続により、上位2ビット（ビット2と3）が0から1つ増分するにつれ、ハイレベルの出力がG4からG7へ移動することにより、4つの上位グループ・スイッチのうちの1つのスイッチをオンにする。このようにして、4ビットの選択信号によって、16個のF／F出力のうちのいずれか1つを選択して出力端子314Aに出力するように動作する。図6では、4ビット選択信号が“0111（07H）”のときを示しており、このときには、下位2ビットがSW03、07、11、15をオンにし、そして上位2ビットがGSW1のみをオンにするため、“0111（07H）”が表す8番目の07クロックを選択して出力する。

【0049】

次に、図7を参照して、以上に述べた遅延タッピング回路30Aを備えたパルス幅制御装置Aの全体の動作について説明する。尚、図7は、図3のタイミング

図をさらに詳細にしたものであり、PLLクロック、書き込みデータ、書き込みパルスは同じものを示している。図7から分かるように、パルス発生器2Aは、図示の書き込みパルス(図7(c))を発生すると共に、この書き込みパルスを分解して、7つの入力パルス・エッジ(1)～(7)を発生する(図7(d)～(j))。すなわち、初期パルスの立ち上がり部(1)と、これの反転したものである初期パルスの立ち下がり部(2)とを生成する。さらに、中間パルスの立ち上がり部(3)と、これの反転したものである立ち下がり部(4)と、最終パルスの立ち上がり部(5)と、これの反転したものである立ち下がり部(6)と、そしてクリーニング・パルスの終了エッジ(7)とを生成する。これら各分解パルス部分は、遅延ユニット部3A内の対応する各遅延タッピング回路で、4ビット選択信号により指定された遅延(Delay)(1)～(7)のそれぞれに対応するものを付与することにより、図示の出力パルス・エッジ(1)～(7)を発生する(図7(k)～(r))。また、パルスの遅延は立ち上がり立ち下がりとして別途に制御する。例えば、図7の下側に拡大して示したように、入力パルス・エッジ(3)すなわちパルスの立ち上がりエッジに適用する遅延は、9タッピング遅延すなわち08相クロックが提供する遅延であり、そして入力パルス・エッジ(4)すなわちその同じパルスの立ち下がりエッジに適用する遅延は、4タッピング遅延すなわち03相クロックが提供する遅延である。このように、入力パルス・エッジ(3)に9タッピング分の遅延をそしてエッジ(4)に4タッピング分の遅延を付加して合成することにより、信号幅の狭い(DUTYの小さい)書き込みパルス(s)を得ることができる。また、以上からも分かるように、遅延タッピング回路の各々は、1つの分解パルス部分の遅延のみを担当する。このようにして発生された出力パルス・エッジは、パルス合成器32Aで立ち上がり部分のみを使用して合成することによって、最適化した書き込みパルス(図7(s))を形成する。尚、この図7に示した例では、各パルス・エッジに適用可能な遅延量は、0から最大で、PLLクロック(図7(a))の1周期の15/16である。また、各パルス・エッジへの遅延は、1つのPLLクロック周期であってそのパルス・エッジが0度位置に位置するPLLクロック・エッジからの遅延として付加される。

【0050】

以上に説明した本発明によるパルス幅制御装置Aによる利点を説明する。本発明では、多相クロックを使用して遅延量を付与するため、従来のような固定遅延の遅延素子を使用するのと比べ、製造プロセス、周囲温度、電源電圧等の影響を受けにくい利点がある。また、多相クロックをすべての遅延タッピン回路で共用し、同一タッピン回路であれば、異なった遅延タッピン回路でも同じ遅延量を付与することができる。この点は、従来の遅延素子を使用する遅延タッピン回路では、同じタッピン回路でも、製造プロセス等の要因によって、正確に同じ遅延量を与えることが困難であるのと対照的である。

【0051】

また、図8を参照して説明するが、本発明の多相クロックを用いる方法では、PLLクロックの周波数が変化しても、遅延タッピン回路の各タッピン位置で得られる遅延の相対遅延を常に一定に保つことができるという利点がある。ここで、相対遅延とは、PLLクロック周期の長さを基準とした相対的な遅延を言うものとする。すなわち、入力パルスに対し例えば4タッピン分の遅延を付与する場合、図8の下側に示したように、例えば低倍速の書き込みにおけるようなPLLクロック周期が長い場合には、その4タッピン遅延による絶対遅延量は比較的大きい。尚、図8において、PLLクロック1周期分の遅れは、上述の時間マージンである。これに対し、図8の上側に示したように、例えば高倍速書き込みにおけるようにPLLクロック周期が短くなった場合、同じ4タッピン遅延による絶対遅延量は、比較して短くなる。しかし、図8からの分かるように、PLLクロックの1周期内における相対遅延は、PLLクロック周期の4/16の遅延で一定のままである。このように、本発明では、相対遅延を一定に保つことができるため、光デバイスへの低倍速書き込みから高倍速書き込みの幅広い書き込み速度に容易に対応することができる。言い換えれば、PLLクロックの周波数が変わっても、分解能の絶対値は変化するが、相対分解能は常にPLLクロック周期の16分

割に保たれるという効果がある。

【0052】

次に、図9を参照して、16相の多相クロックPLL52Aの1実施形態の回路構成を説明する。図示のように、この多相クロックPLL52Aは、当該分野

において周知のように、位相比較回路520と、分周回路522と、ループ・フ

ィルタ524と、リングオシレータ部526とから構成している。また、リング

オシレータ部526も、周知の構成のものであって、8個の差動バツフ526

ー0～7をリング状に配置して接続したものでから構成され、そして各々の差動バ

ツフは、供給されるバイアス電流によってその信号伝播遅延が変化するもので

ある。また、リングオシレータ部526は、8個の差動バツフ526ー10～

17からなる出力回路も備えている。

【0053】

詳しくは、位相比較回路520は、一方の入力が参照あるいは基準の周波数ク

ロックを受ける入力端子500に接続し、そして他方の入力がPLLの周波数通

倍数を設定する分周回路522の出力に接続し、そして分周回路の出力クロック

と基準周波数クロックの位相・周波数比較を行い、そしてその結果をその出力に

発生する。位相比較器の出力に接続した入力をするループ・フィルタ524は

、位相比較回路出力信号を平滑化してリングオシレータ部526へのバイアス電

流を出力において供給する。このループ・フィルタ524の出力は、リングオシ

レータ部526内の各差動バツフ526ー0～7の各々のバイアス入力に接続

し、そしてリングオシレータ部526の各差動バツフ段の出力は、出力差動バ

ツフ526ー10～17の対応するものの入力に接続している。これら出力差

動バツフ526ー10～17は、非反転出力と反転出力とを有しており、これ

により、00相と08相の1対のクロック、01相と09相の1対のクロック、

02相と10相の1対のクロック等のクロック対を外部に取り出す。また、差動

バツフ526ー10の00相クロック出力は、分周回路522の入力に接続す

ることによってPLLループを構成する。

【0054】

上記の構成により、位相比較回路520から、ループ・フィルタ524、差動

バッツ 526-1 および 526-10-17 で構成される リングオシレータ 526、分周回路 522 に至る フォード バック・ループで、分周回路 522 出力の クロックの位相と基準周波数 クロックの位相とが一致するように常に制御される。したがって、リング状差動 バッツ 526-0-7 において、製造プロセス変動に起因する信号伝播遅延量のばらつきがあっても自動的に補正され、基準周波数 クロックと同期の取れた発振 クロックを得ることができる。また、リング状差動 バッツ 526-0-7 は、同一構成でありしかも同一の バイアス電流が供給されるため、差動 バッツ 7 個々の伝播遅延はほぼ同じであると考えることができる。このような差動 バッツ を リング状に配して リングオシレータを構成しているため、差動 バッツ 526-0-7 どのように接続している接続線から、出力差動 バッツ 526-10-17 を介して基本 クロック (この場合は 00 相 クロック) を等分に分割した分解能で多相 クロックを引き出すことができる。ここで、リングオシレータを構成する リング状差動 バッツ の個数は、必要とされる分解能 (位相数) で決定されるため、図 9 に示した回路構成では、位相数の 1/2 個の リング状差動 バッツ で実現できる。したがって、第 10 図に示した 16 相 クロック PLL の例では、 $16/2 = 8$ 個の リング状差動 バッツ 526-0-7 を用いている。

【0055】

次に、図 10 を参照して、本発明による パルス幅制御装置を用いた 光ディスク・レコーダ B の 1 実施形態を説明する。この図 10 では、レコーダの書き込み部分のみを特に示している。尚、図 2 の パルス幅制御装置 A 内の構成要素と対応する構成要素には、対応する参照番号に記号 “B” を付している。図示のように、この 光ディスク・レコーダ B は、ホスト・データを受ける入力端子 1B と、パルス発生器 5B と、遅延ユニット部 3B と、そしてさらにレーザ・コントローラ 8B と、光ディスクへの書き込み用レーザ 9B とから構成されている。この 光ディスク・レコーダ B は、図 2 の パルス幅制御装置 A とは、基本的な構成は同じであるため、特に パルス発生器 2B と遅延ユニット部 3B の パルス合成器 32B 部分について詳細に説明する。



【0056】

図示のように、パルス発生器 2B は、CD/DVD のフォーマット仕様にした

かつてホスト・データをコード化するエンコーダ 21 と、8 ビットにエンコードされたデータを 14 ビット (CD) または 16 ビット (DVD) に変調して図 3 (b) に示したような書き込みデータを発生する EFM/EFM モジュレータ 2

2 と、ディスク媒体の種類や EFM/EFM 信号長に応じて最適な書き込みパルスのパルス列、パルス幅を決定するフォーマッタ 23 とを備えている。これらエ

ンコーダ 21、モジュレータ 22 およびフォーマッタ 23 は、CD、DVD 規格で定められた機能を有する公知の構成のものである。フォーマッタ 23 は、パルス発生器回路群 24～28 に接続すると共に、遅延タップレングス回路 30B-1～k の各 1 つにも接続している。フォーマッタ 23 は、パルス発生器回路群 24～28 に対してパルスの構造を指示し、遅延タップレングス回路 30B-1～k に対し

て 4 ビットのタップ調整量を指示する。また、一連の直列接続したパルス発生器回路群 24～28 は、フォーマッタ 23 で決定されたパルス構造にしたがってパ

ルスを生成する。すなわち、パルス発生器回路は、図示のように、初期パルス、中間パルス、最終パルス、クリーンアップパルスの種類別に設け、

そして各パルス発生器回路は、それぞれ、パルスの発生点を示す pos パルス (例：図 7 (d) 参照) と終了点を示す neg パルス (例：図 7 (e) 参照) を発生させる。最後のクリーンアップパルス発生器回路 28 は、クリーンアップ期間の終了点を示すパルスのみ (例：図 7 (j) 参照) を発生し、そしてクリーンアップの開始点は、最終パルスの終了点を示すパルス (図 7 (i) 参照) を流用する。ここで、pos パルスとは、図 11 から分かるように、該当するパルスの発生点または立ち上がりエッジと一致する前縁の立ち上がりエッジをもつパルスであり、そし

て neg パルスは、該当するパルスの終了点または立ち下がりエッジと一致する前縁の立ち上がりエッジをもつ同じ長さのパルスである。また、中間パルス発生器回路として機能するマルチ・パルス発生器 25、26 を 2 つに分けて設けているのは、遅延タップレングス回路 30B の動作周波数向上の工夫であり、各発生器 25、26 は、各々が奇数個目、偶数個目のパルスを発生し、それぞれ発生するパルスが同一のパルス幅となる。尚、図 10 中には、ESM 信号 (DVD 用) に関



するビット長毎のバース構成例の一覧表を示している。すなわち、異なった信号長 3T～11T, 14T に関して、初期バース (First Pulse)、中間のバース (バース (Multi Pulse)、最終バース (Last Pulse)、クーリング・バース (Cooling Pulse) の個数を示している。

【0057】

図 11 には、このバース構成例によるバース発生器回路 24～28 の出力波形例を示している。図示のように、信号長 “11T” の場合、初期バースが 1 つ、中間バースが 7 つ、最終バースが 1 つ、そしてクーリング・バースが 1 つである。また、信号長 “5T” の場合、中間バースが 1 つのみとなる。また、最も短い信号長 “3T” の場合には、初期バースと中間バースは全くなくなる。尚、バースの構成は、媒体の規格で異なり、図 3、図 7 の例は、CD-RW のバースであり、図 11 の例は DVD-RAM のバースである。したがって、図 11 に示した波形例では、書き込みバースは、図 3 および図 7 に示したものと異なり、ピーク (peak) パワー・レベル、消去 (erase) 用のバースパワー・レベル、バース (bias) 用のバース・レベルに加え、クーリング (cooling) のバースパワー・レベルも有している。

【0058】

次に、図 10 のバース合成器 32B 部分について詳細に説明する。図示のように、バース合成器 32B は、1 例として、エッジ・トリガ型の数個の SR フリップフロップ (F/F) 321～324 および 327、328 と OR ゲート 325, 326 とで構成している。詳細には、F/F 321 は、初期バースの pos バースを遅延タッピンゲ回路 30B-1 を介して受けるセット入力と、この同じ初期バースの neg バースを遅延タッピンゲ回路 30B-2 を介して受けるリセット入力とを有し、このため、遅延済みの初期バースをその出力に発生することになる。次の F/F 322 は、中間バースであるバース・バース 1 の pos バースを遅延タッピンゲ回路 30B-3 を介して受けるセット入力と、この同じバース・バース 1 の neg バースを遅延タッピンゲ回路 30B-4 を介して受けるリセット入力とを有し、そしてその出力に遅延済みのバース・バース 1 を発生する。同様に、F/F 323 は、バース・バース 2 の pos バースを遅延タッピンゲ回路

路 30B-5 を介して受けるセット入力と、この同じアルチ・パルス 2 の neg パルスを遅延タツピシタ回路 30B-6 を介して受けるリセット入力とを有して遅延済みのアルチ・パルス 1 出力を発生し、また、F/F 324 は、最終パルス の pos パルスを遅延タツピシタ回路 30B-7 を介して受けるセット入力と、この同じ最終パルスの neg パルスを遅延タツピシタ回路 30B-8 を介して受けるリセット入力とを有して遅延済みの pos パルスをもつ OR ゲート 325 は、受けた遅延済みのパルスを単に合成して、初期パルス、中間パルスおよび最終パルスのピーク・レベルにある期間中ハイとなるピーク制御パルスを発生する。一方、クーリシタを制御する F/F 327 は、セット入力が遅延済みの最終パルスの neg パルスを受け、そしてリセット入力が遅延済みのクーリシタ・パルスの終了時点までハイになるクーリシタ制御パルスを出力に発生する。最後に、消去制御用の F/F 328 は、セット入力が遅延済みのクーリシタ終了パルスを受け、そしてリセット入力の後続の信号の初期パルスの pos パルスあるいは最終パルスの pos パルス (図 10 中の一覽表に示すように、初期パルスが存在しない場合がある) のいずれかを OR ゲート 326 で受け、そして出力に、遅延済みのクーリシタ終了パルスから次のパルスの開始までの期間中ハイとなる消去制御パルスを発生する。このようにして、パルス合成器は、レーザ光によって光ディスクにビットを書き込むために必要なピークパワー (peak power) に制御するピーク制御パルス信号、書き込み後ビットの終端を整形するためのクーリシタ・パワー (cooling power) で制御するクーリシタ制御パルス信号、既に書き込まれているビットを消去するための消去パワー (erase power) で制御する消去制御パルス信号を生成する。尚、ピーク、クーリシタ、消去の期間以外では、いかなる書き込みも行わないハイパルス・パワーに制御される。

【0059】

以上のようにして、パルス合成器 32B は、遅延タツピシタ回路からの遅延パルスを合成することにより、レーザ制御用のパルスを形成する。このように形成した制御パルスは、図 10 に示したように、レーザ・コントローラ 8B のピーク

制御入力と、クレーンク制御入力と、消去制御入力とに供給し、そしてこれら制御パルスに応答して、レーザ・コントローラ 8 B は、後続の書き込み用レーザ 9 B のパワーを制御することにより、光ディスクへのデータの書き込みを実行する。尚、図 10 および図 11 で示したパルスの分解方式は、1 例に過ぎないものであって図示したものに限定されず、他の分解方式で実現することもできる。

【0060】

次に、図 12 を参照して、別の実施形態の遅延タップレグ回路 30 C を説明する。尚、この遅延タップレグ回路 30 C は、図 4 の遅延タップレグ回路 30 A と基本的に同じ構成であるため、対応する構成要素には、同じ参照番号の後に記号“C”を付してある。図 12 のこの遅延タップレグ回路 30 C の目的は、図 4 のものと比べ、遅延の相対分解能を拡張することであり、そのための 1 つ方法として、多相クロックの相数を増やし、またこれに対応してレジスタ群のレジスタ数を増やすという方法を採用している。詳細には、多相クロックの相数を 32 と 2 倍にしている（00 相～31 相）。また、上位レジスタ群 306 C と、下位レジスタ群 308 C の各々に含まれるレジスタの数を 2 倍にして、相数で 32 個のレジスタ（F/F）を設けている。また、これら 32 個のレジスタ出力からの選択のため、入力端子 302 C に印加する選択信号は 5 ビットにしている。これに対応して、デコーダ 310 C および選択回路 312 C は、図 6 に示したのと同様のフーキテチャで 32 者択一回路を構成することができる。このように、多相 PLL クロック相数とレジスタ数を任意に増やすことにより相対分解能を容易に拡張することができる。これによって、特定のタイミング調整用途において要求される正確さに合致する相対分解能を容易に提供することができる。

【0061】

また、図 13 を参照して、さらに別の実施形態の遅延タップレグ回路 30 D を説明する。この遅延タップレグ回路 30 D も、図 4 の遅延タップレグ回路 30 A と基本的に同じ構成であるため、対応する構成要素には、同じ参照番号の後に記号“D”を付してある。図 13 のこの遅延タップレグ回路 30 D の目的は、図 4 のものと比べ、絶対遅延の遅延量範囲すなわち遅延設定レンジを拡張することであり、そのための 1 つ方法として、多相クロックの適用位置を多相クロックの 1

周期単位で遅らせるという方法を採用している。すなわち、この遅延タップレングス回路 30D においては、入力レジスタ 301D に加えて、遅延設定レジスタ部 303D は、入力レジスタ 301D と同じ構成の 2 つのレジスタ、すなわち第 1 レジスタレジスタ 3030 と第 2 レジスタレジスタ 3032 を備えている。これら拡張レジスタは、入力にその前段のレジスタの出力を受け、そしてクロック端子に 08 相クロックを受けるように接続している。したがって、拡張レジスタ 3030 は、入力レジスタ 301D の出力パルス P1a から、PLL クロック 1 周期分遅らせた出力パルス P1b を発生し、そして拡張レジスタ 3032 は、さらにもう 1 周期分遅らせた出力パルス P1c を発生する。これら入力レジスタ 301D と拡張レジスタ 3030 と拡張レジスタ 3032 の出力 P1a, P1b, P1c は、それぞれスイッチ SW の 3 つの入力端子に接続し、そしてこのスイッチは、デコーダ 310D からのスイッチ制御入力に応答して 3 つのレジスタ出力のうちのいずれかを出力端子に通す。以上の構成により、遅延レジスタは、拡張レジスタ 1 個の追加で 2 倍に、そして 2 個の追加で 3 倍に拡張することができる。本実施形態の場合、デコーダ 310D は、入力される 6 ビットの選択信号を受けることにより、選択回路 312D に加えて、スイッチ SW を制御する選択信号を発生する必要がある。そのための回路変更は、図 7 から当業者には明らかである。本発明のこの遅延設定レジスタ拡張方法によれば、遅延設定レジスタを単にレジスタの個数の増加によって容易に実現することができる。従来の固定遅延素子による方法では、遅延レジスタを拡張するには素子数を増やす以外に方法がなかったことと比べると、非常に簡単に実現可能な拡張方法である。

【0062】

次に、図 14 を参照して、本発明のタイミング調整法の別の実施形態である、デジタル転送データの同期化装置 M について説明する。本発明のタイミング調整法は、信号転送速度が変化するインターフエース受信部(例えば、CAV リードを行う DVD/CD 再生装置内のクロック再生部とデモジュレータ部の接続等)において、デジタル転送データと転送クロックの位相ずれを補正するためにも利用することができる。すなわち、デジタル信号の転送速度が変化しても、上述の

ような遅延タツピング回路の同じ遅延タツピング設定で、同期化装置におけるセットアップ時間(F/FのD入力の変化からCLKが入力するまでの時間)とホルド時間(F/FのCLK入力からD入力を保持すべき時間)のワージン・バランスを常に最適に保つことができる。

【0063】

ここで、従来のように固定遅延素子によるゲート遅延を用いた場合について説明すると、従来の方法では、周波数が高くなると位相反転を起こす可能性がある。より具体的には、転送データと転送クロックは、同じ遅延でデータ受信部の同期化回路に到達することが理想であるが、現実には多少のずれが発生する。また、伝送系にジッタが発生しやすいシステムでは、同期化回路でデータの取りこぼしが発生する可能性があるため、セットアップ時間、ホルド時間が同一になるように調整する必要がある。これらの調整にゲート遅延を用いると、低い転送周波数を想定して最適設定した場合、周波数が高くなると変化していった場合に、セットアップ時間とホルド時間のうちの一方のワージンが小さくなり、ついには、位相が1周期分回ってしまうことになる。逆に、高い周波数で最適設定した場合、周波数が低く変化していった場合に、他方のワージンが小さくなる。この場合、位相が1周期分回るようなことはないが、転送データのジッタの振れ幅が転送クロックの周期に比例するようなシステムでは問題となる。本発明のタイムシンク調整法を使用することにより、上記のような問題を解決することができる。

【0064】

詳細には、図14に示したように、同期化装置Mは、デジタル転送データを受ける入力端子1Mと、多相同期化回路3Mと、多相クロックPLL回路5Mと、同期化した転送データを出力する出力端子7Mとから構成している。詳しくは、多相同期化回路3Mは、入力端子1Mに接続した入力と、多相クロックPLL回路5Mからの多相クロックを受ける入力とを有し、そして出力が出力端子7Mに接続している。一方、多相クロックPLL回路5Mは、入力がデジタル転送データとは別個に伝送される転送クロックを受ける入力とを有している。尚、多相クロックPLL回路5Mは、図2または図9のものと同様の回路構成とすることができ

次に

いた場

データ

よって

の遅延

、信号

時間

ち上が

がセッ

しが発

遅延調

加し、

となる

(d)

延で行

ADJUST

も非常

ような

とがで

ADJUST

うにな

次に

説明す

、図 2

ある。

A の 1

器 2 A

、図2および図4の回路と同様の回路として、データであるパルス入力を受ける入力端子1Mと、上位レジスタ群306M、下位レジスタ群308M、出力端子7Mとを備えている。さらに特有の要素として、この多相同期化回路3Mは、1対の選択回路312Ma、312Mb、選択レジスタ316M、スイッチSW、出力レジスタ315Mとを備えている。図4の回路との相違する部分を重点に説明すると、パルス入力は、入力レジスタを介さずに直接に、上位および下位のレジスタ群306M、308M内の各レジスタ(F/F)の入力に供給される。このため、この各F/Fは、パルス入力を、このパルス入力到来した時点の直後に開始する新たな1つのPLLクロック周期の範囲内で、00相～15相クロックの遅延に対応する遅延量だけ遅延したパルスをその出力に発生する。上位レジスタ群306M内の各F/F出力を受ける選択回路312Maは、前半の8つの異なった遅延量の遅延済みパルス(00相～07相クロックを受けるF/Fの出力)を受け、下位レジスタ群308M内の各F/F出力を受ける選択回路312Mbは、後半の8つの異なった遅延量の遅延済みパルス(08相～15相クロックを受けるF/Fの出力)を受ける。これら選択回路は、4ビット選択信号を受けるデコーダ310Mからの信号により、選択回路312Maは、前半の8つの遅延済みパルスから選択された遅延済みパルスを出力に通す。選択レジスタ316M内のF/F3160は、入力を選択回路312Maの出力に接続し、そしてクロック端子が00相クロックを受けるように接続しており、前半の8つの遅延済みパルスから選択された信号パルスを00相クロックで再同期をかける。

【0067】

選択回路312Mbも、選択回路312Maと同様であるが、後半の8つの遅延済みパルスのいずれかから選択されたパルスを選択レジスタ316M内のF/F3162の入力に供給する。このF/F3162は、08相クロックをクロック端子に受けるように接続しており、後半の8つの遅延済みパルスから選択されたパルスを08相クロックで再同期をかける。スイッチSWは、選択された遅延済みパルスを発生する選択回路側の選択レジスタを出力レジスタ315Mの入力に接続する。出力レジスタ315Mのクロック端子は、00相クロックを受けるように接続しており、したがって、パルス出力を00相クロックに同期させて発

生させるよう動作する。

【0068】

次に、図17のタイミング図を参照して、図16の多相同期化回路3Mの全体の動作について説明する。尚、この図では、1例として、12相クロックで同期化した場合に、最もデータ受け取りミスが発生しにくくなる入力条件での動作を示している。先ず、図17(a)、(b)に示すクロックとデータがシステムに受信されたとする場合、多相クロックPLL回路5Mは、(c)に示すように受信クロックに同期した多相クロック、すなわち00相～15相クロックを再生する。尚、図では、図示を簡略にするため、00相クロックのみを示している。この位相クロックに응答して、上位および下位のレジスタ群306M、308M内の各F/Fは、多相同期化データをその出力に発生する。図17では、説明の都合上、単にこれら多相同期化データをPhase00～Phase15として示している。図示のように、本例では、02相～06相のクロックで取りこんだ場合、黒く塗りつぶして示したように、データの变化点と位相クロックの立ち上がり位置が近いためにタイミング違反が発生し、出力データが不定になることを示している。このような状況において、仮に選択回路312MaにおいてPhase04を選択した場合には、選択レジスタ3160の出力は、同様に不安定となる(黒く塗りつぶして示している)。一方、選択回路312MbにおいてPhase12を選択した場合には、受信データのほぼ中央で、12相クロック(不図示)が立ち上がるため、多相同期化データPhase12が最も安定なものとなり、そして、これは、選択レジスタ3162、出力レジスタ315Mを通じて、図17(f)に示した同期化データ出力として出力端子7Mに発生される。本実施形態では、選択回路312Mbから出力される多相同期化データは、直接00相で動作する出力レジスタ315Mにシフトするのではなく、一旦、00相の逆相である08相で動作する選択レジスタ3162に転送した後、そのデータを00相クロックの位相にシフトしている。選択レジスタ316MのF/F3160、3162は、00相への位相シフトに伴うフリップフロップ間転送時のセットアップ時間の確保が主な目的である。

【0069】

以上、本発明の種々の実施形態について詳細に説明したが、上記実施形態に対して以下のような種々の変更が可能である。先ず、上記実施形態においては、イベントとして、電氣的イベント、特に信号およびデータにおける遷移について説明したが、電氣的イベント以外のイベントも、電氣的イベントに変換することにより、本発明を適用することができる。また、電氣的イベントについては、制御信号、データそのものの遷移の他、任意のあらゆるタイミング調整が必要な電氣的イベントにも本発明を適用可能である。また、対象とするイベントが、複数のイベントから成るイベント・グループの場合、上記実施形態のようなイベント分解方法以外に、その他の任意の方法で、単一のイベントまたはイベント・グループに分解することも可能である。また、単一のイベントには、1つ以上の遷移等を含ませることもできる。

【0070】

第2に、上記実施形態における多相クロックPLLは、タイミング調整を行う基準時間範囲を等分割し、そして多相クロックの各相間の相間遅延量の分解能（クロックの相間遅延量が遅延の1単位）でタイミング調整量を微調整できるようにする手段の1例に過ぎない。未知の周期の基準クロックの周期を時間的に等分割したタイミングを生成するものであれば、多相クロックPLL以外の任意の他の分割手段を使用することも可能である。

【0071】

第3に、上述の多相クロックPLLにおいては、ウォズブル信号あるいは転送クロックのような周波数可変の基準信号に必ずしも同期させる必要はない。例えば、単相の高速固定クロック、例えば水晶クロックのような固定周波数のクロックを使用する場合でも、用途によっては、要求される分解能よりも高い固定の遅延分解能を提供することにより、本発明の効果を十分に得ることができる。すなわち、従来のようなゲート遅延を用いる場合と比べ、タイミング調整単位となる絶対遅延量をはるかに正確に定めることができるからである。ただし、この場合は、相対遅延を一定に維持するという利点は得られない。また、多相クロックから新たに生成することに加え、これら各位相クロック自身をタイミング調整後のイ

ベントとして使用することもできる。

【0072】

第4に、タイミング調整の分解能を向上させる方法として、多相クロック周波数を高めることと、多相クロックの相数の増加とのいずれか一方または両方によって行うことができる。また、タイミング調整範囲の拡張は、多相クロックの周期の拡大と、遅延設定レンジ拡張レンジのような拡張手段の増加との一方あるいは両方を使用することによっても実現することができる。

【0073】

第5に、本発明は、CD、DVD等の光ディスク以外に、光を使用して記録を行う任意の記録媒体にも適用することができる(例えば、Blu-ray等)。第6に、上記の実施形態におけるデジタル転送データの同期化法は、ネットワーク等の長距離のデータ伝送から、集積回路内等の短距離のデータ伝送にまで適用可能である。

【0074】

【発明の効果】

以上に詳細に説明した本発明によれば、より簡単な構成であるいはより正確にタイミング調整を実現することができる。例えば、具体的には、遅延量のようなタイミング調整量は、クロック周期のような基準時間を等分割したものを調整量の1単位とするため、相対遅延量のような相対調整量は、相対遅延量の整数倍のような段階的なものであるか絶対遅延量のような絶対調整量は、クロック周波数の連続的な変化に基づき無段階にすることができ、したがって、周波数が高いときの分解能不足、低いときの遅延レンジ不足というジレンマが原理的に発生しないという利点がある。また、従来の固定遅延素子を用いた方式では、低周波用途で十分な遅延レンジを得るために多くの遅延素子が必要とし、回路規模が大きくなってしまったが、本発明では、低周波数用途でも同じ回路規模で実現することができる。

【0075】

また、タイミング調整量の変動は、PLLのようなフリップフロップ回路を使用することにより、製造のバラツキ、電源電圧、周囲温度などの環境変動の影響を

受けにくい。複数のタイミング調整回路（例：遅延タッピン回路）間のバラツキは、例えば集積回路上におけるレイアウトの影響をほとんど受けることなく、また、複数の遅延タッピン回路間のクロック・スキューも、デバイス設計時に使用する配置配線ツールで自動調整が可能であり、設計作業も容易である。遅延素子のサイズに関しては、必要な最大絶対遅延量と集積回路面積との間の相関性をなくすることができる。

【0076】

さらに、オーバーハット遅延（設定遅延がゼロの時の遅延）は、素子の固有遅延やレイアウトに依存せずクロック単位での遅延であるため、予測可能であり、したがってオーバーハット遅延調整用回路の絶対遅延量変動による遅延量の変化を心配する必要がなくなる。入力信号消失のリスクについては、遅延出力信号が出力段の F/F で再構成されるため、絶対遅延量を大きくしても消失の危険はな

い。

【0077】

また、本発明は、光ファイバ・レコータにおいて、CAV回転制御で光ファイバにCLV書き込みを行う場合でも、従来のゾーンCLVのようなゾーン分割をする必要なく、多相クロックPLLの基準信号として光ファイバにあらかじめ記録されているウォツプル信号を用いてクロックを生成することにより、システムに実現することができる。また、ファイバをCAV制御させた場合でも、ファイバの内周から外周までリニアに遅延量を可変することができるため、書き込み中の遅延タッピン回路におけるタッピン設定値（選択するタッピン位置）は、微調整程度で済ますことができる。さらに、光ファイバへの書き込み速度の変更の際、遅延タッピン回路内の同一の遅延タッピン位置からは常に同じ相対遅延を得ることができるため、遅延タッピン設定（遅延量設定）の変更が不要となるという効果がある。

【0078】

さらに、本発明のタイミング調整法は、プロセス・テクノロジに依存する部分がなく、また分解能、遅延レンジ等の拡張性にも優れているため、将来にわたってほぼ同じアーキテクチャ（同じ回路構成・規模等）を維持できるという利点

がある。

【図面の簡単な説明】

【図1】

図1は、本発明によるタイミング調整装置の基本的な構成を示すブロック図。

【図2】

図2は、図1に示したタイミング調整装置をより具体化した1実施形態である

、光ファイバ・レコーダ用のパルス幅制御装置Aを示すブロック図。

【図3】

図3は、図2のパルス幅制御装置A内における種々のパルスを示すタイミング

図。

【図4】

図4は、図2のパルス幅制御装置A内の1つの遅延タッピング回路30A-k

を示すブロック図。

【図5】

図5は、図2の多相クロック発生器が発生する多相クロックの1例である16

相クロック、すなわち00相～15相 (Phase 00～15) クロックを示す

タイミング図。

【図6】

図6は、図4に示したデコーダと選択回路の詳細を示す回路図。

【図7】

図7は、図4の遅延タッピング回路を備えたパルス幅制御装置Aの全体の動作

を説明するためのタイミング図。

【図8】

図8は、本発明による多相クロックの使用により、常に一定の相対遅延が得ら

れることを説明するためのタイミング図。

【図9】

図9は、図2に示した多相クロックPLLの1実施形態の回路構成を示すブロ

ック図。

【図10】

図 1 0 は、本発明によるパルス幅制御装置を用いた光ディスプレイ・レコーダ B の 1 実施形態を示すブロック図。

【図 1 1】

図 1 1 は、図 1 0 のパルス発生器回路 2 4 ～ 2 8 の出力波形例を示すタイムシン

グ図。

【図 1 2】

図 1 2 は、別の実施形態の遅延タッピング回路 3 0 C を示すブロック図。

【図 1 3】

図 1 3 は、さらに別の実施形態の遅延タッピング回路 3 0 D を示すブロック図

【図 1 4】

図 1 4 は、本発明のタイムシンク調整の別の実施形態である、デジタル転送デー
タの同期化装置 M を示すブロック図。

【図 1 5】

図 1 5 は、図 1 4 の同期化装置 M の全体の動作を、ゲート遅延を用いた場合と
比較して説明するタイムシンク図。

【図 1 6】

図 1 6 は、図 1 4 の多相同期化回路 3 M の 1 実施形態の詳細を示すブロック図

【図 1 7】

図 1 7 は、図 1 6 の多相同期化回路 3 M の全体の動作を示すタイムシンク図。

【符号の説明】

1, 1 A, 1 M 入力端子
2 A, 2 B パルス発生器
3, 3 A 多相クロック使用部
3 M 多相同期化回路
5, 5 A 多相クロック発生部
5 M 多相クロック PLL 回路
7, 7 A, 7 M 出力端子

8 B レーザ・コントローラ

9 B 書き込み用レーザ

2 4 ~ 2 8 ハルス発生器回路

3 0 A 遅延タツペンク回路

3 2 A, 3 2 B ハルス合成器

3 0 1 A, 3 0 1 C, 3 0 1 D 入力レジスタ

3 0 3 D 遅延設定レジスタ拡張部

3 0 4 A, 3 0 4 C, 3 0 4 D タイミング調整用レジスタ

3 0 6 A, 3 0 6 C, 3 0 6 D, 3 0 6 M 上位レジスタ群

3 0 8 A, 3 0 8 C, 3 0 8 D, 3 0 8 M 下位レジスタ群

3 1 0 A, 3 1 0 C, 3 1 0 D, 3 1 0 M デコーダ

3 1 2 A, 3 1 2 C, 3 1 2 D, 3 1 2 M a, 3 1 2 M b 選択回路

3 1 5 M 出力レジスタ

3 1 6 M 選択レジスタ

5 2 0 位相比較回路

5 2 2 分周回路

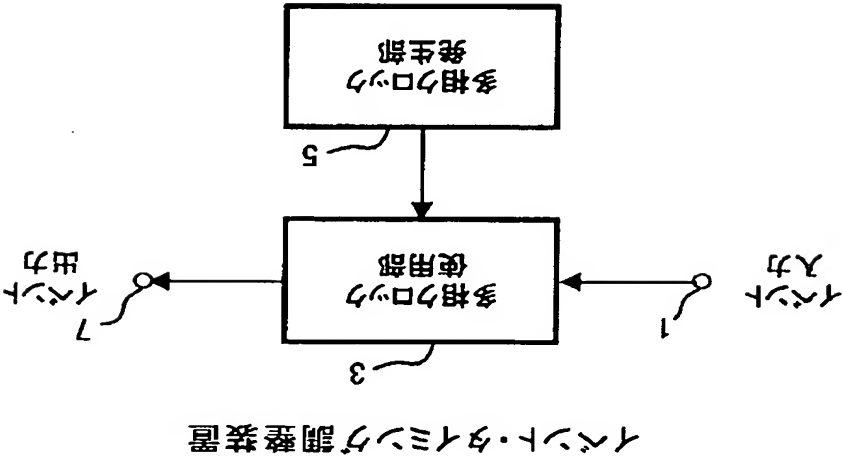
5 2 4 ループ・フイルタ

5 2 6 リンクオシレータ部

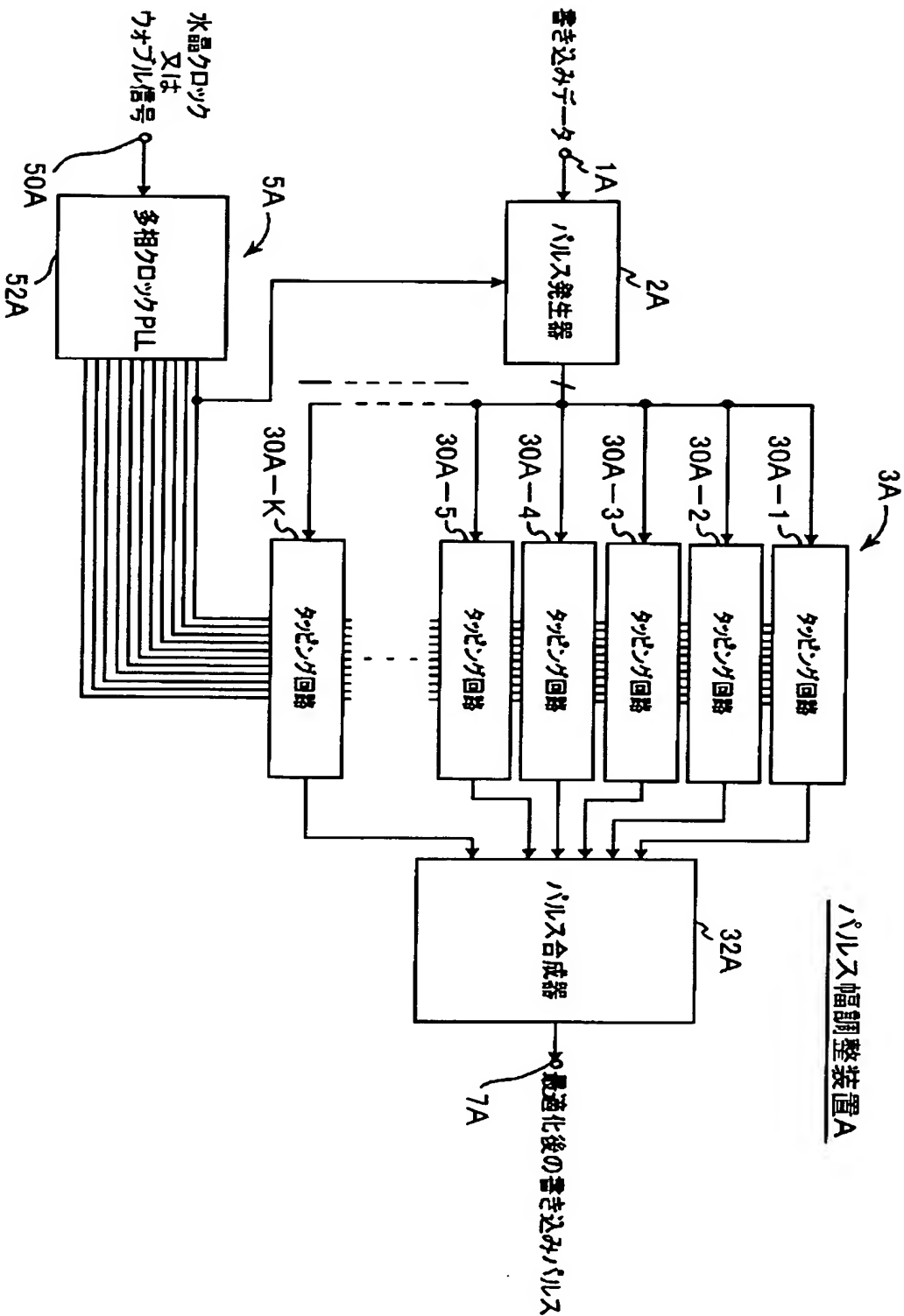
図面

【書類名】

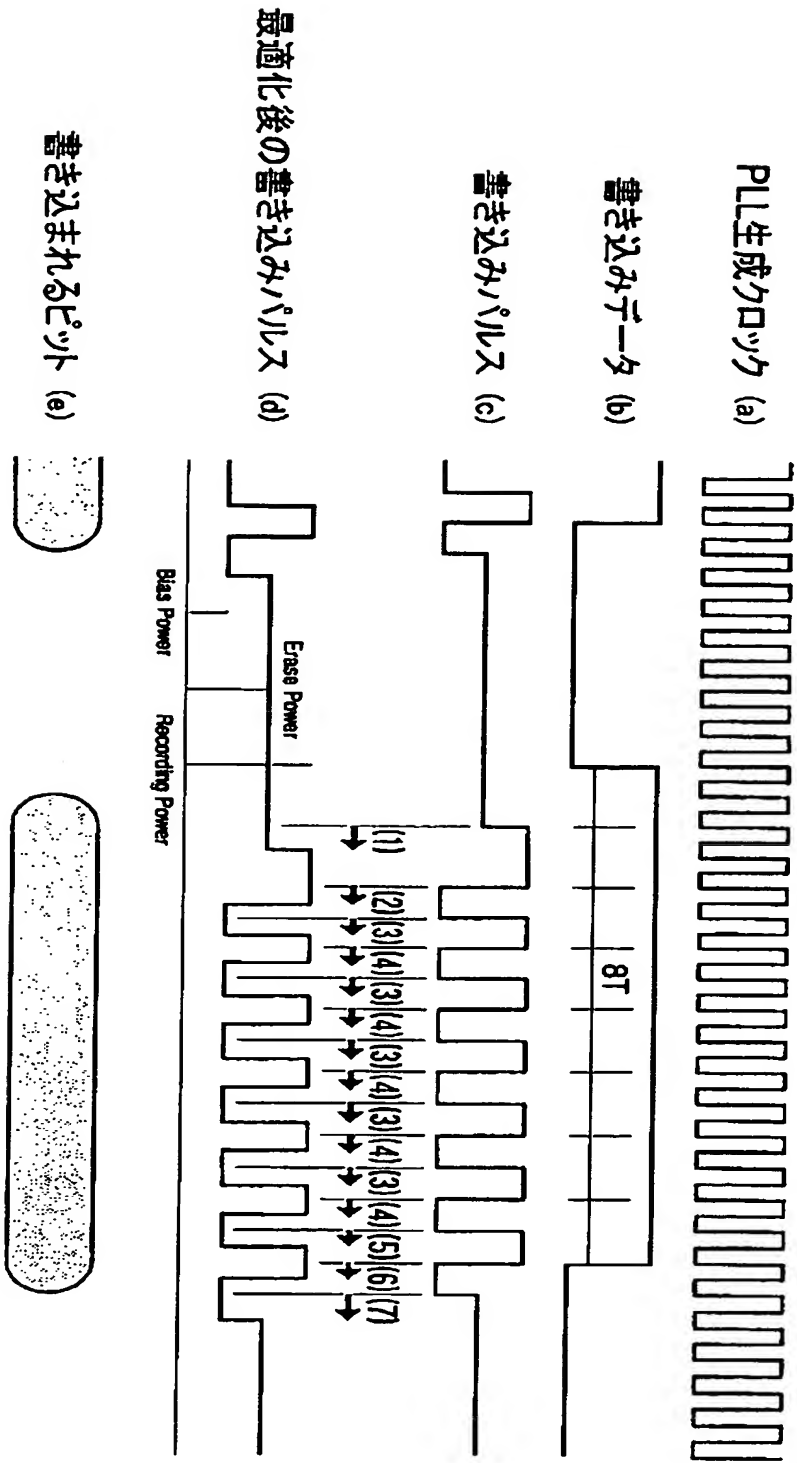
【図 1】



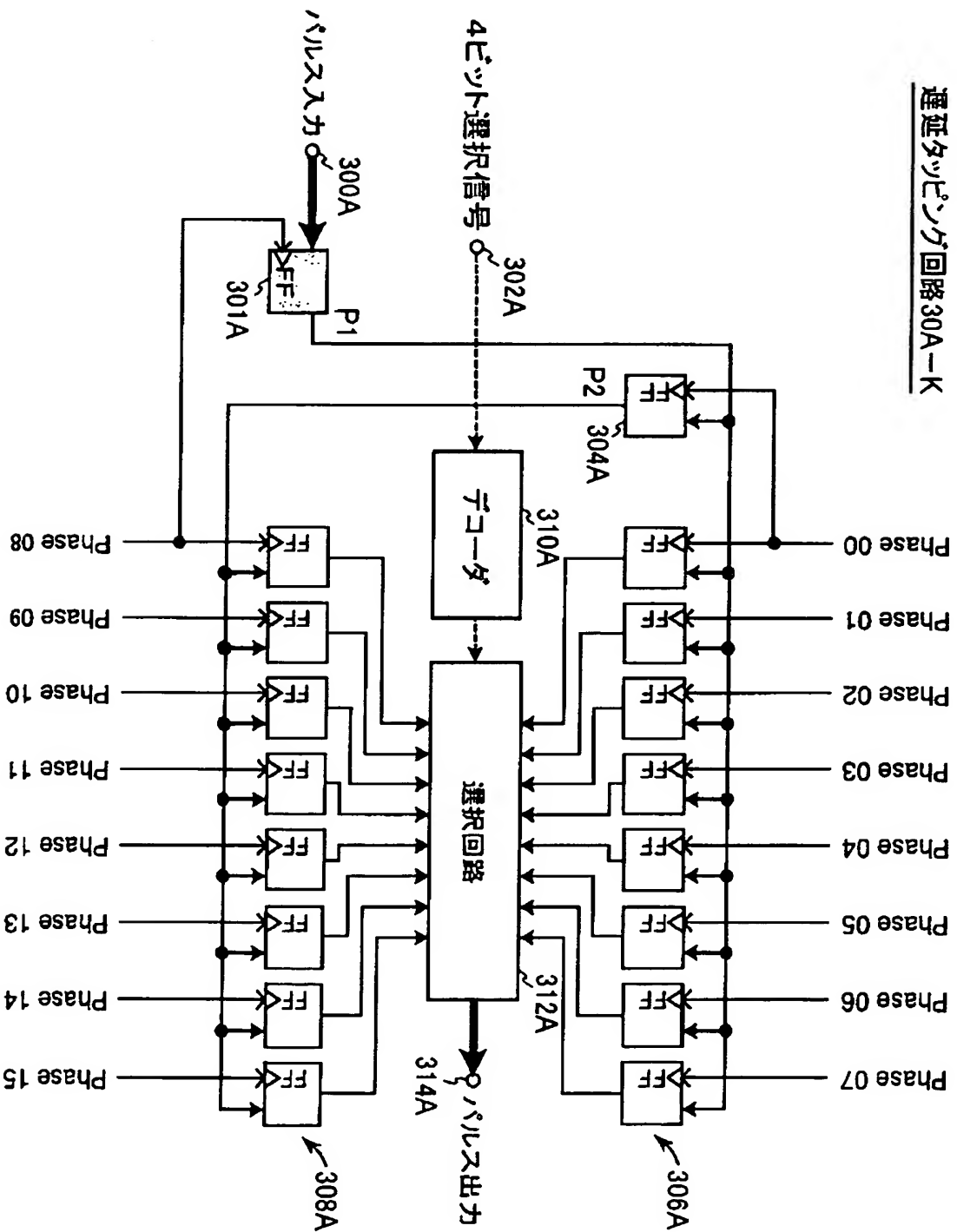
【図2】



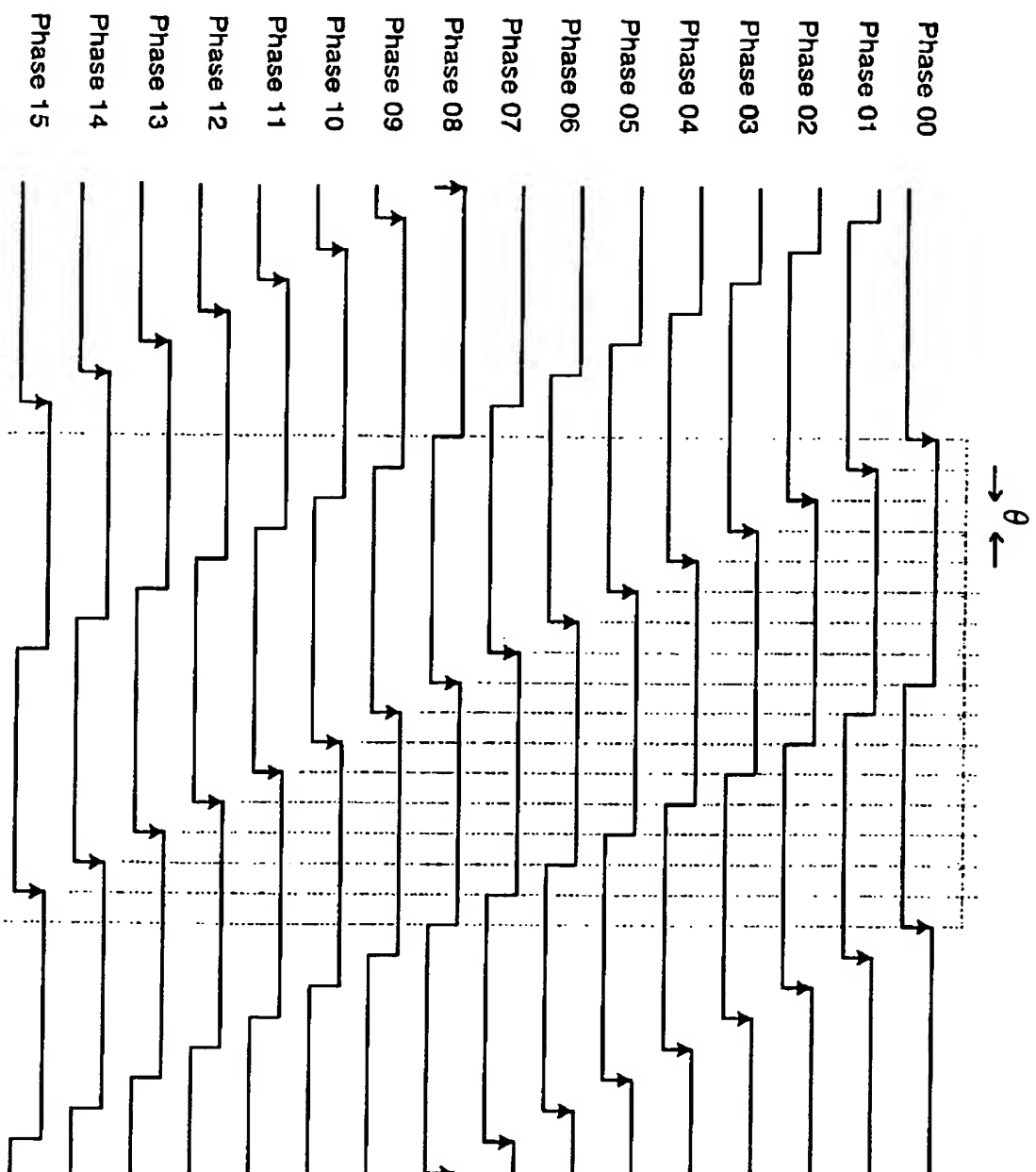
【図 3】



遅延タッピング回路30A-K

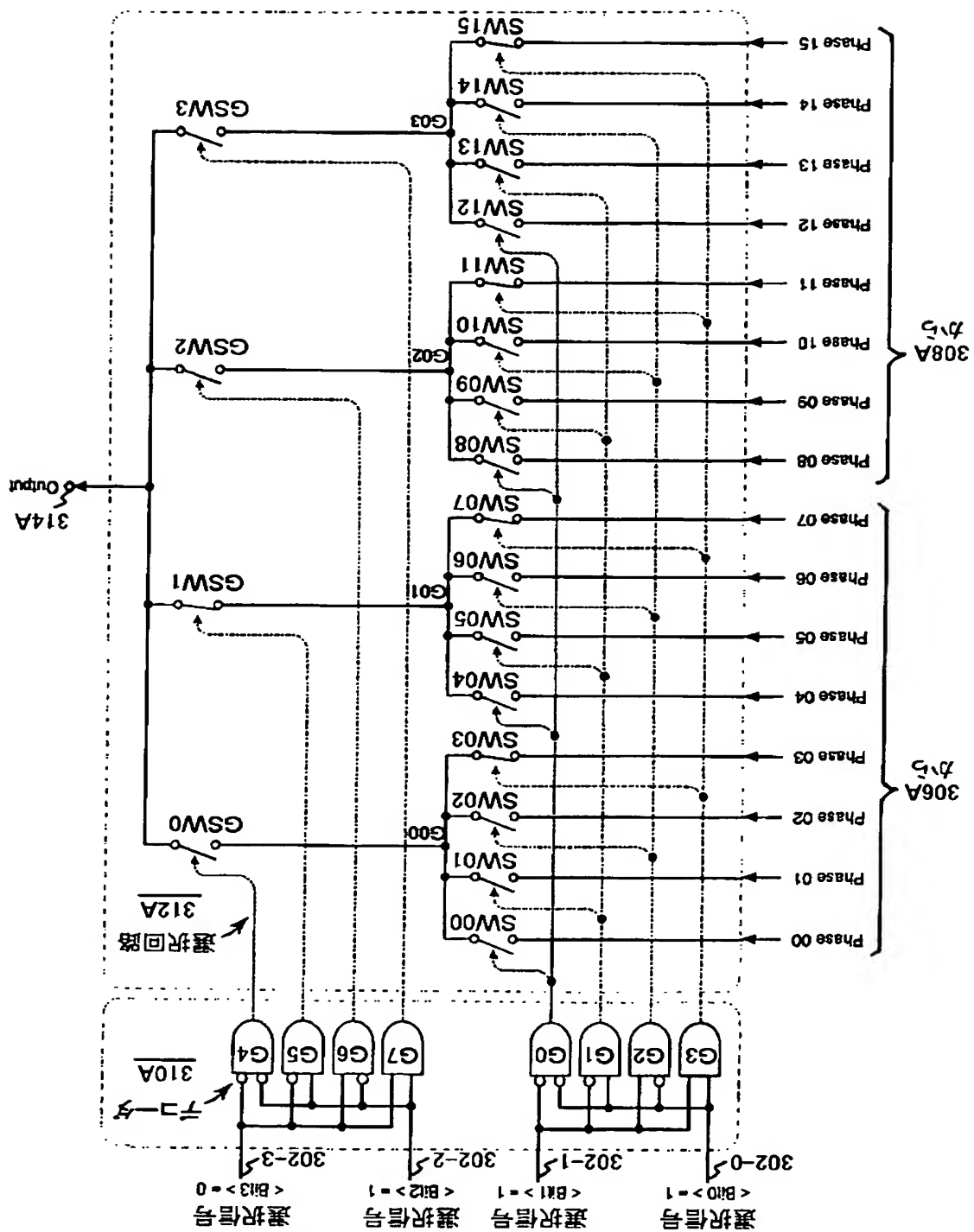


【図4】

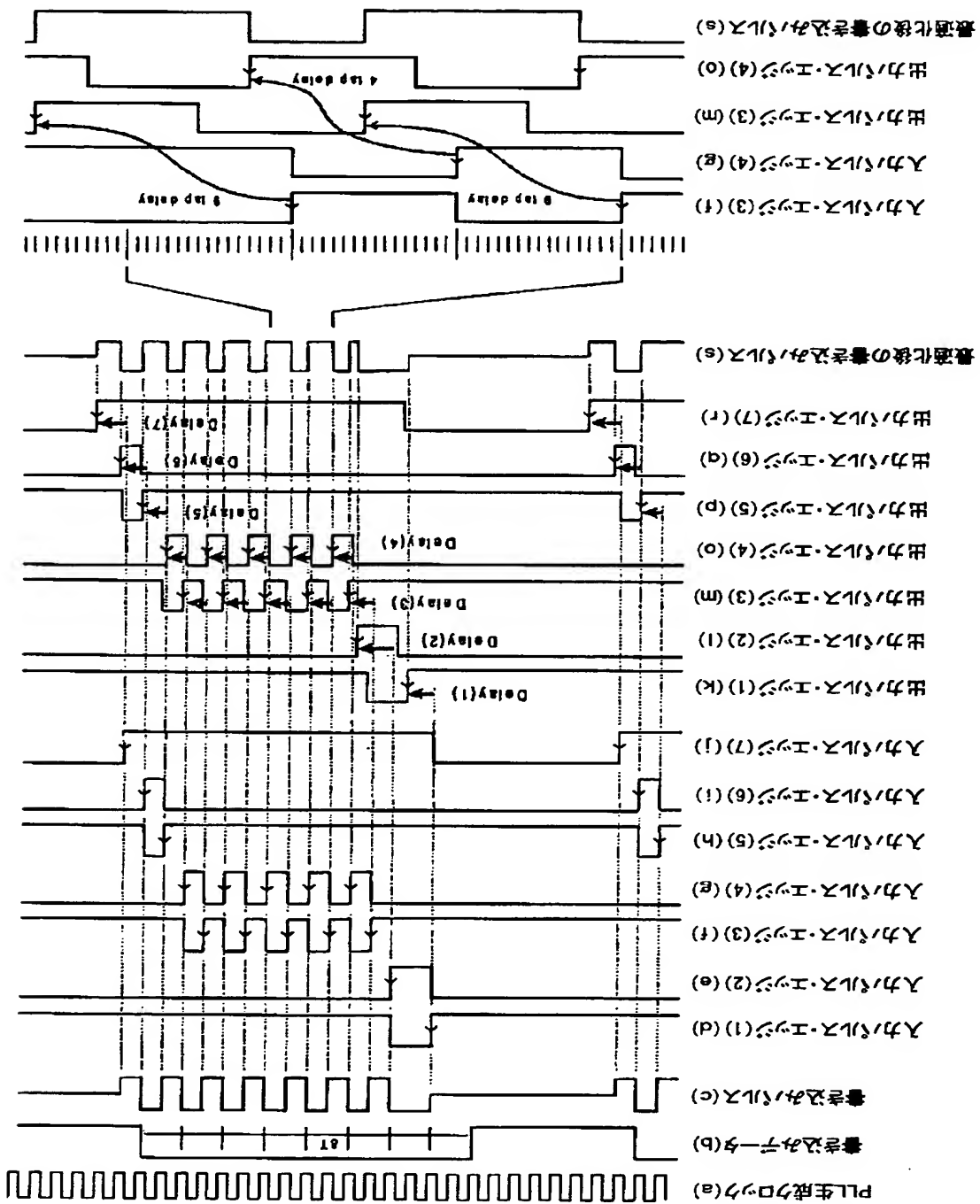


【図 5】

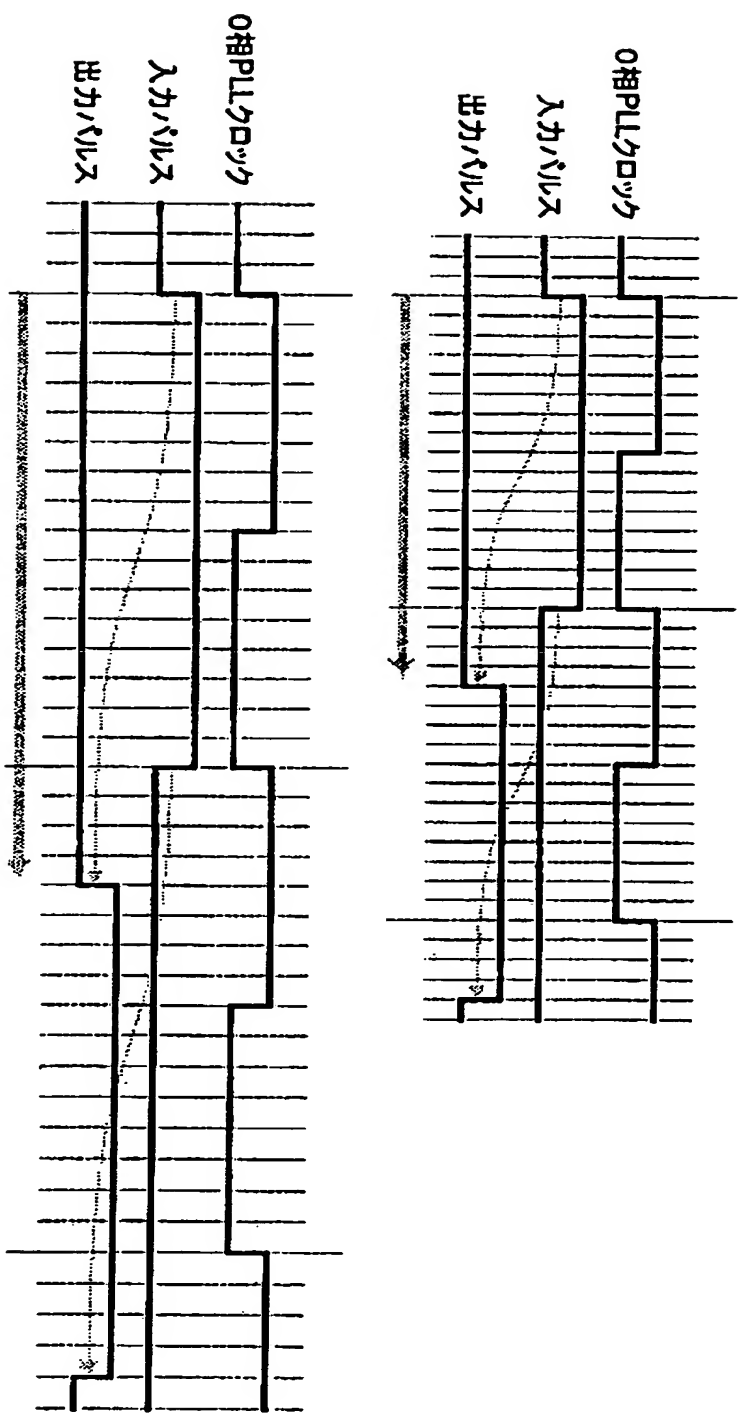
【図6】



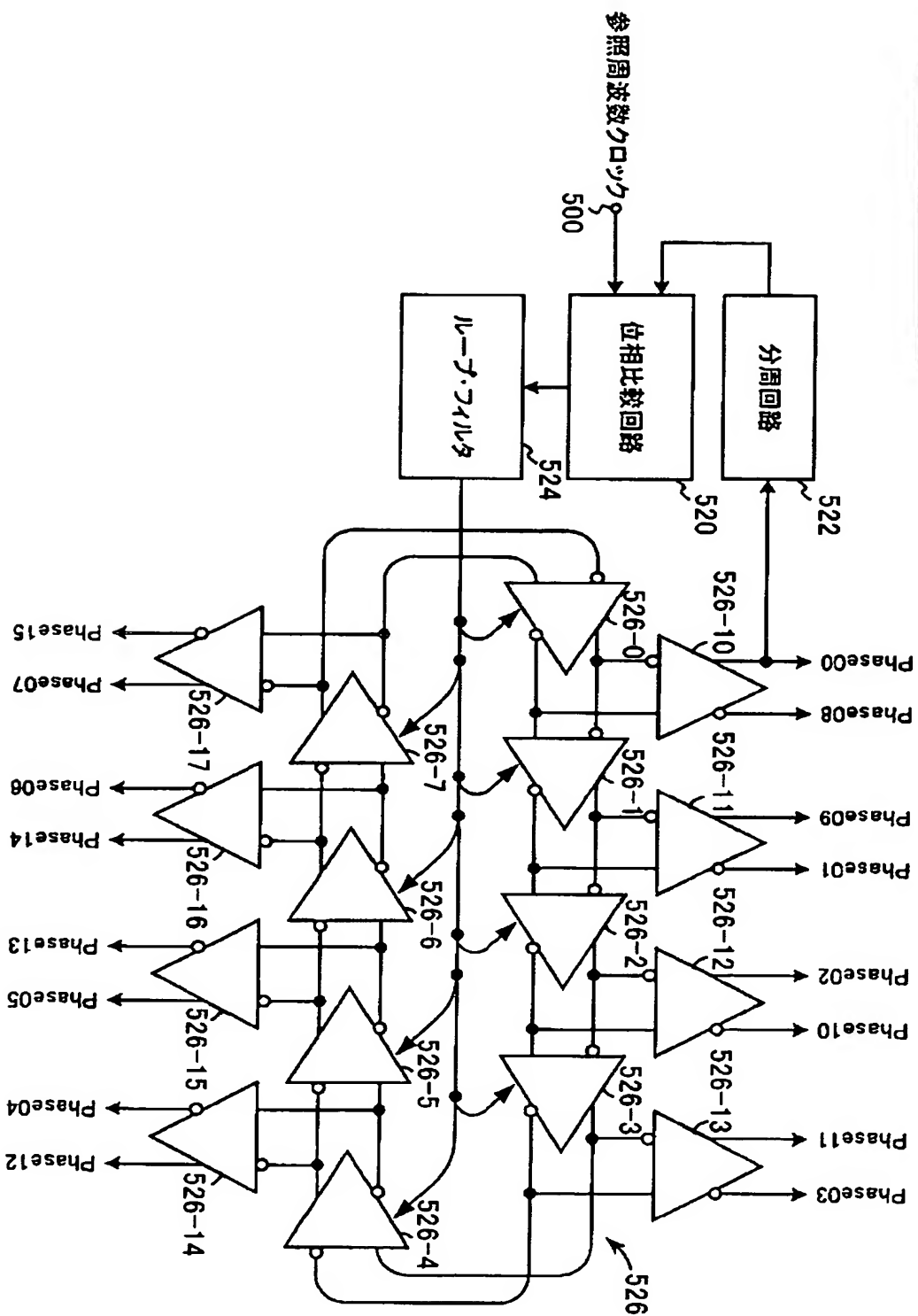
【図 7】



【図8】

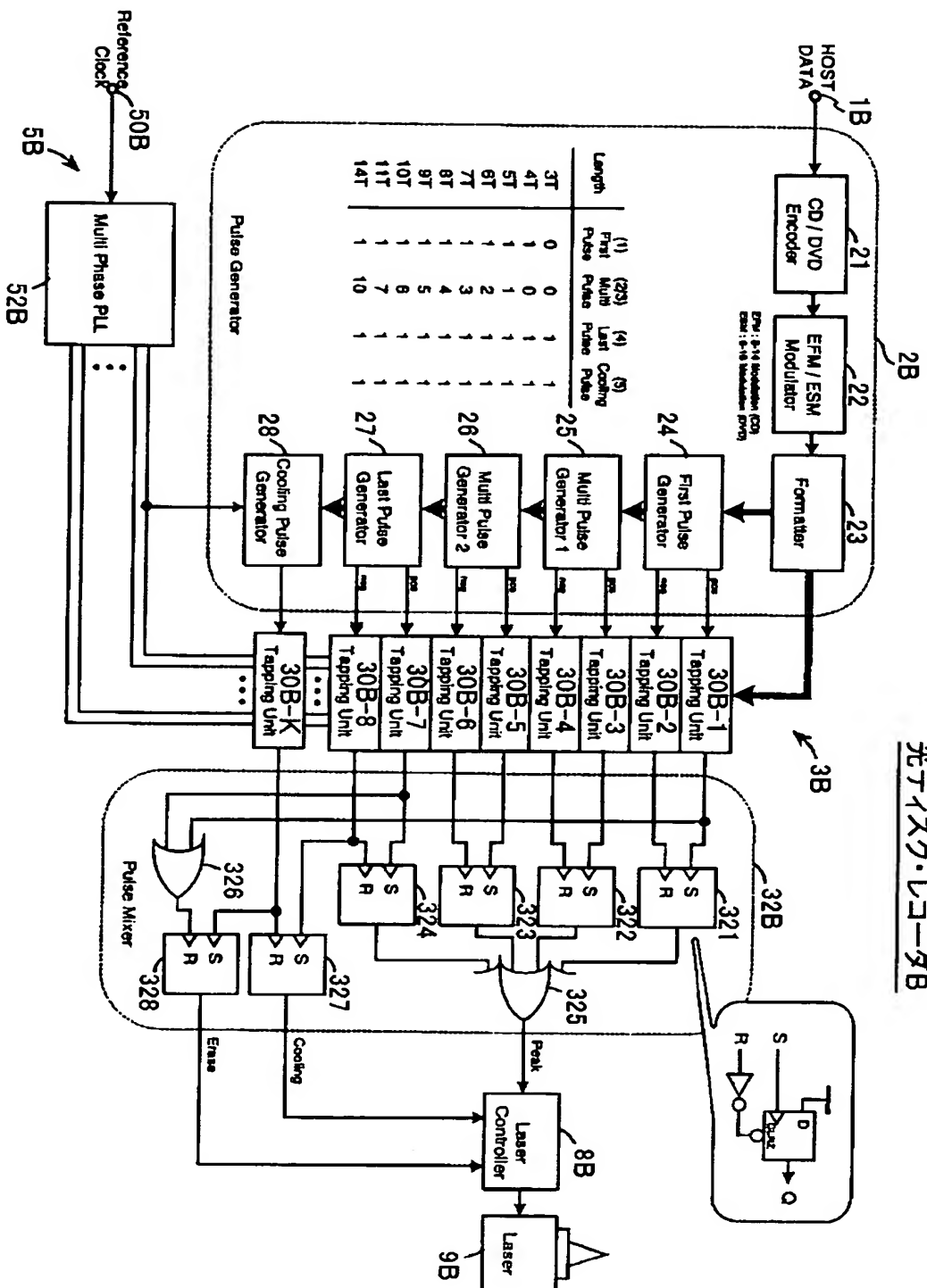


多相クロックPLL回路52A

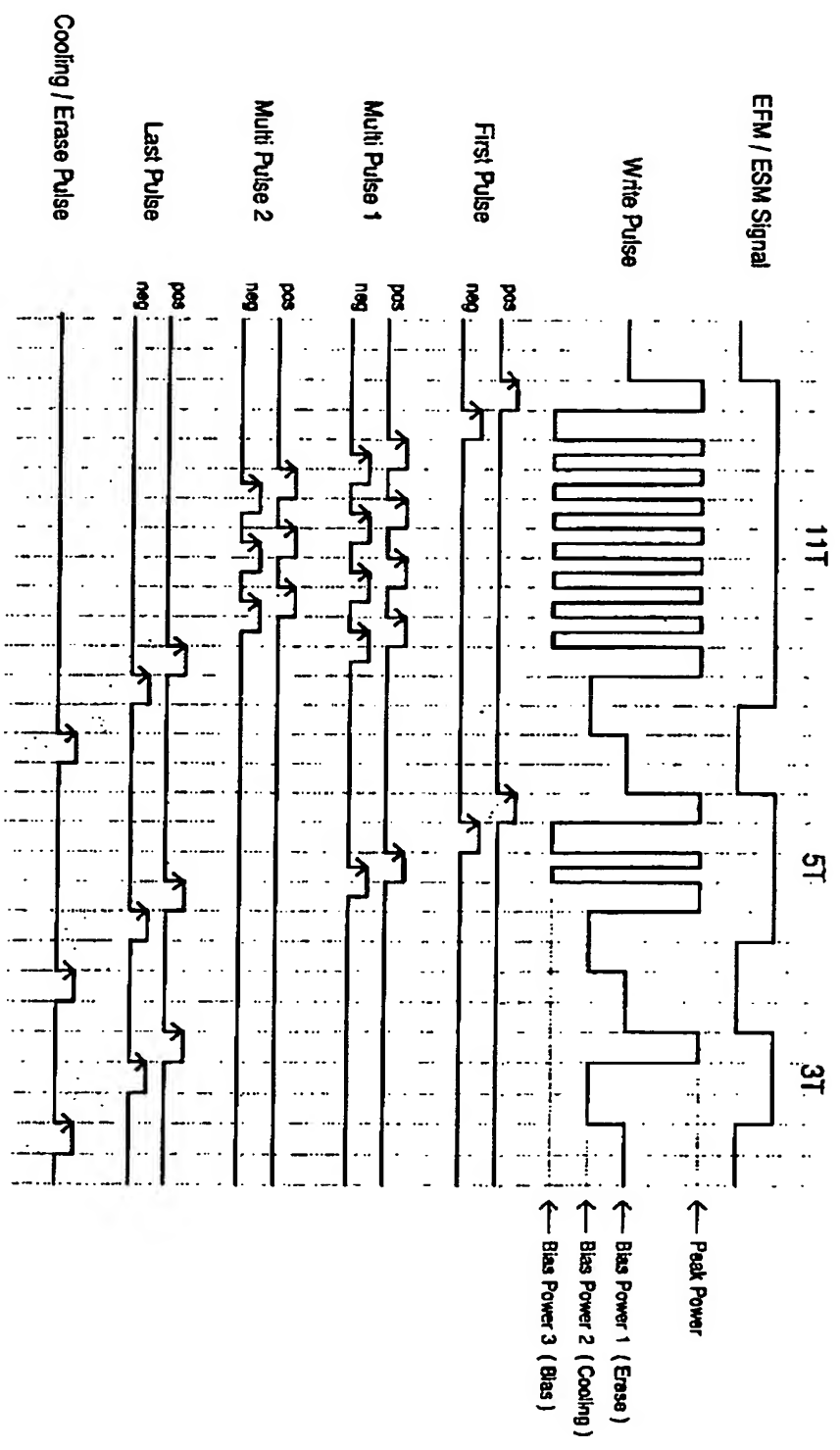


【図9】

光ディスクレコーダB

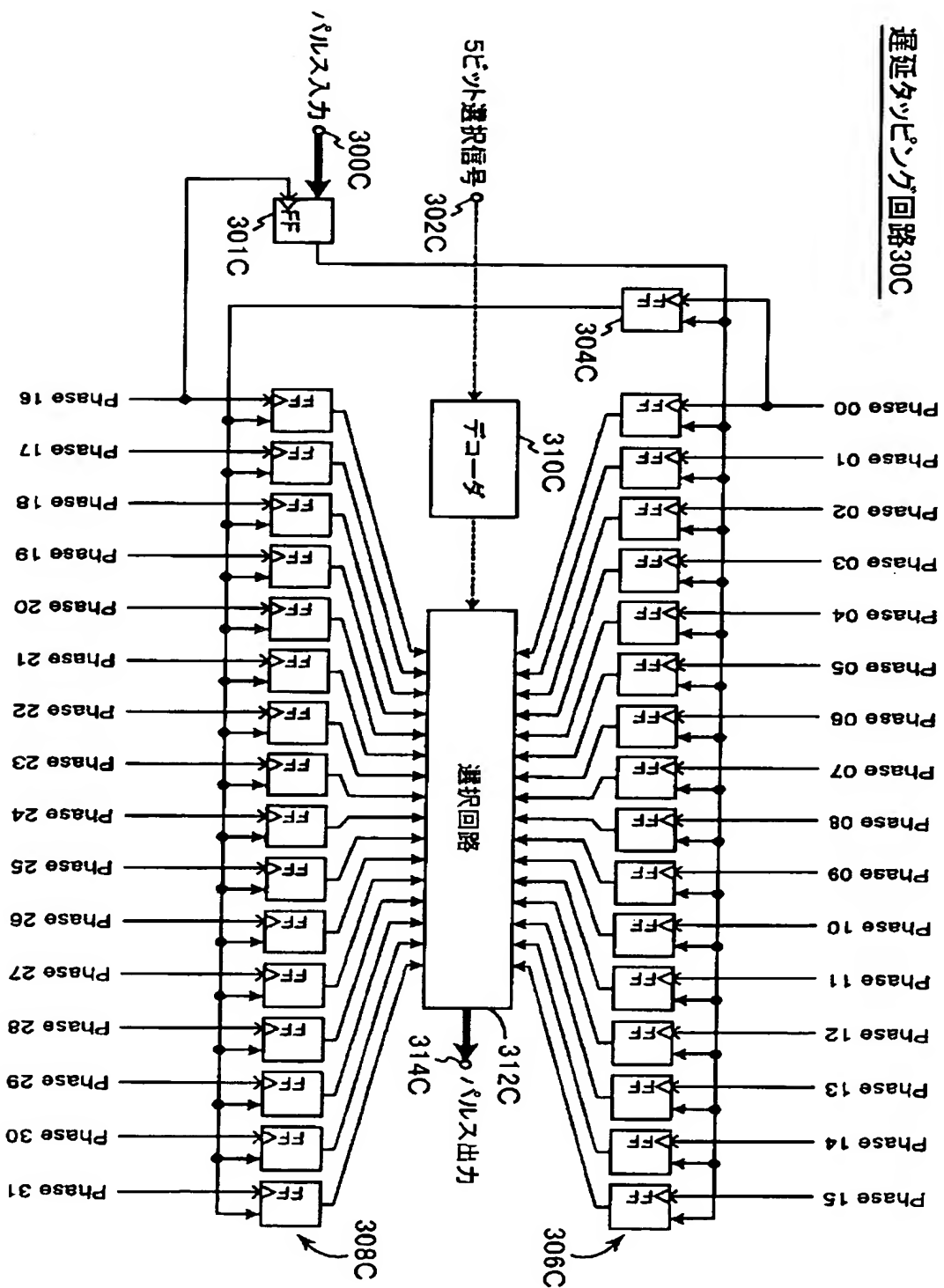


【図10】



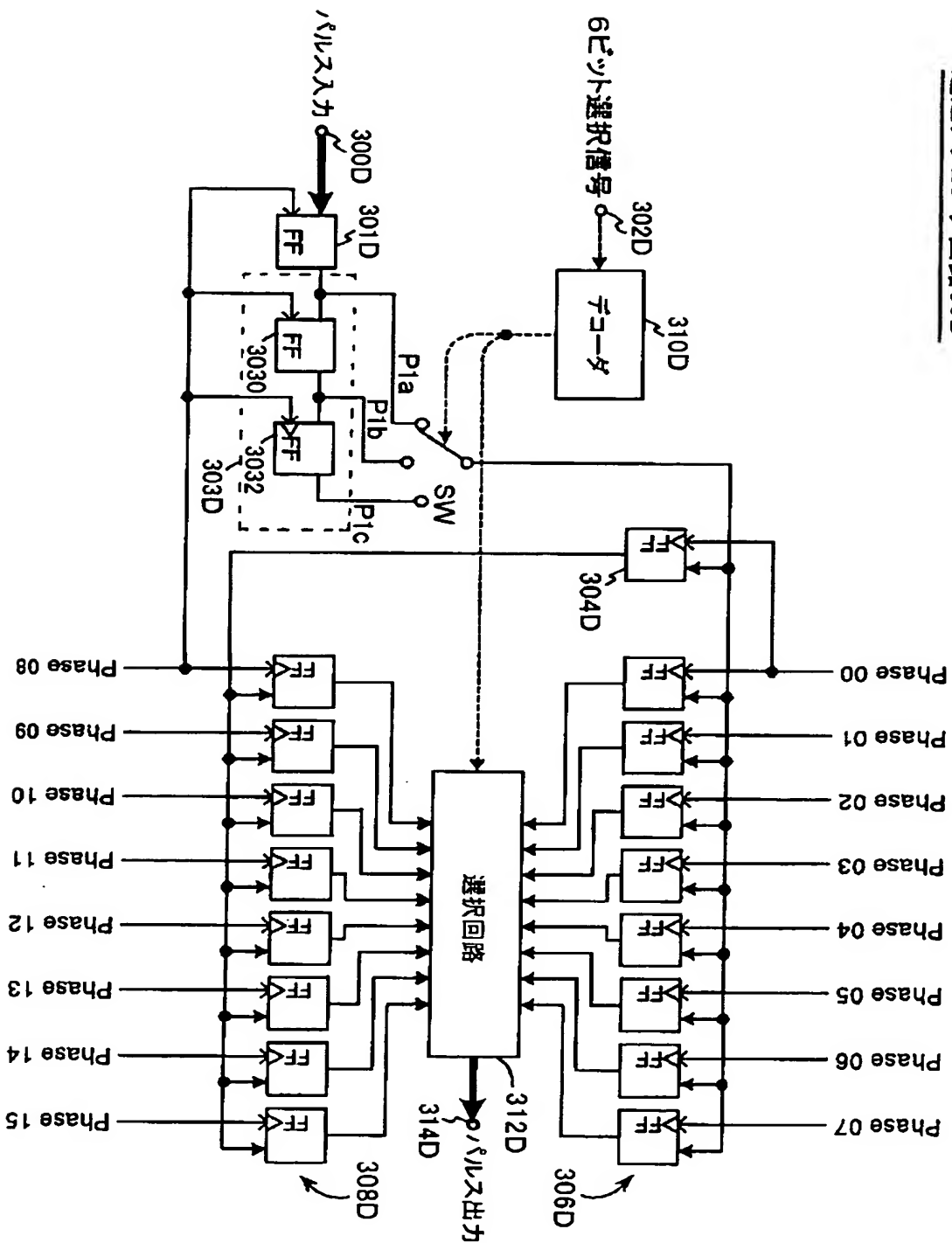
【図 11】

遅延タッピング回路30C



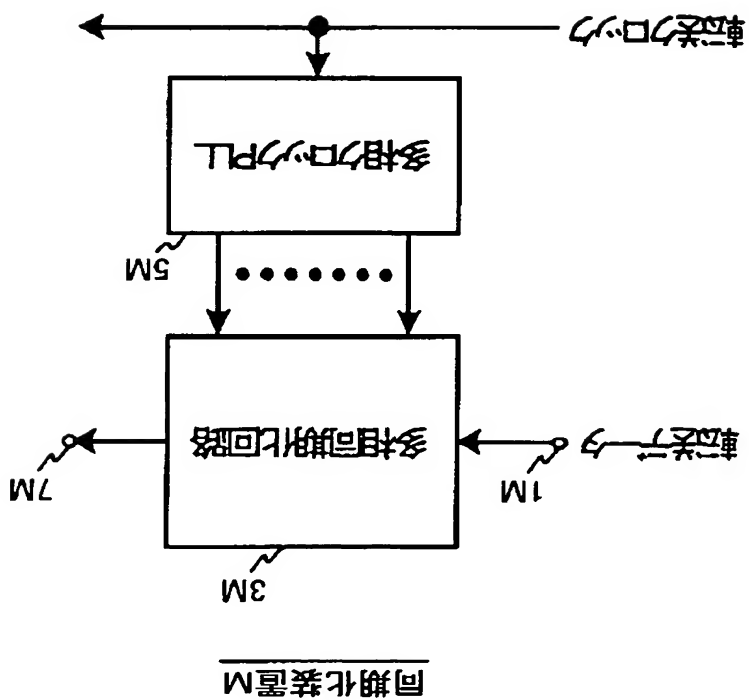
【図12】

遅延タッピング回路30D

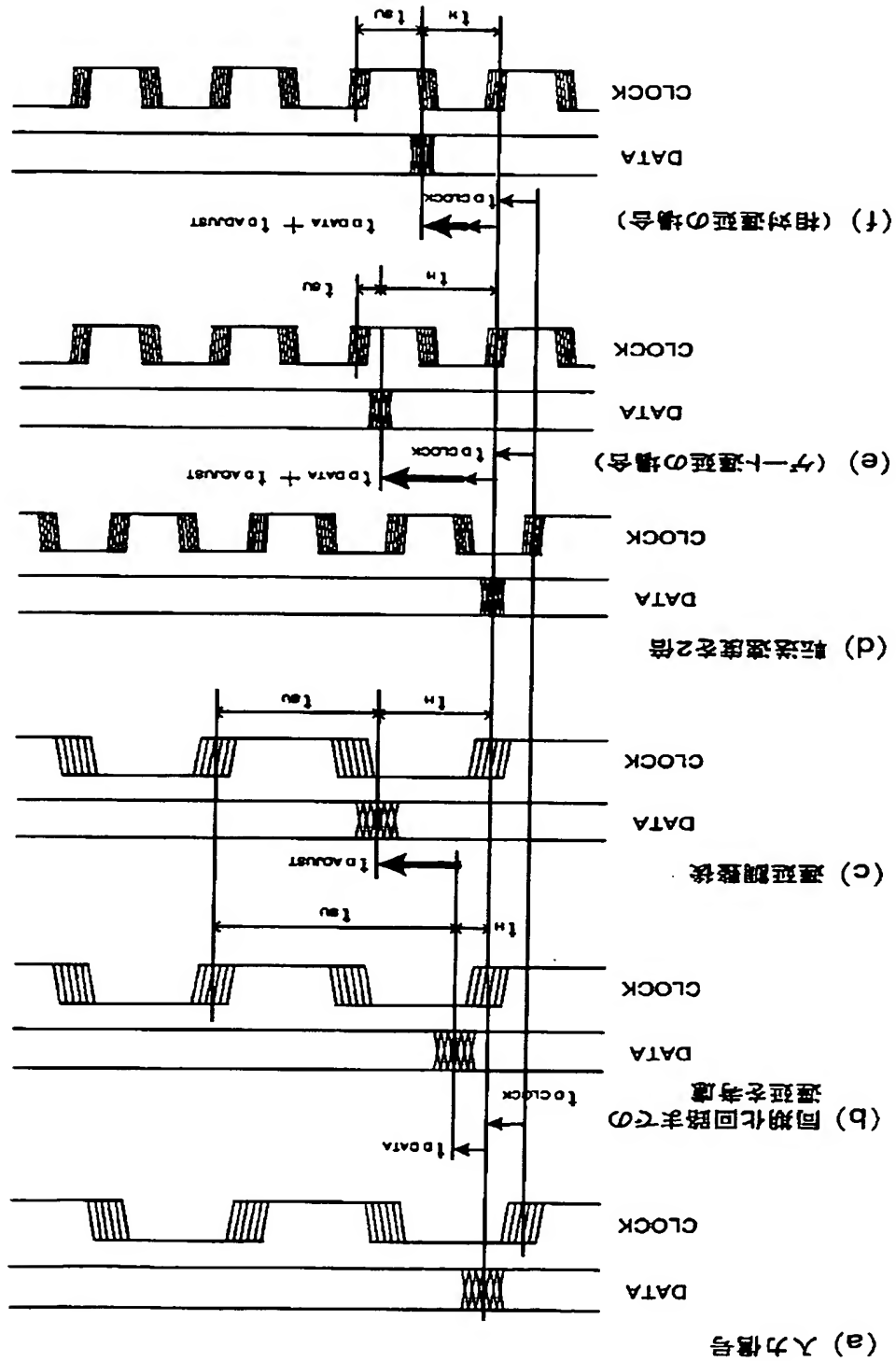


【図 13】

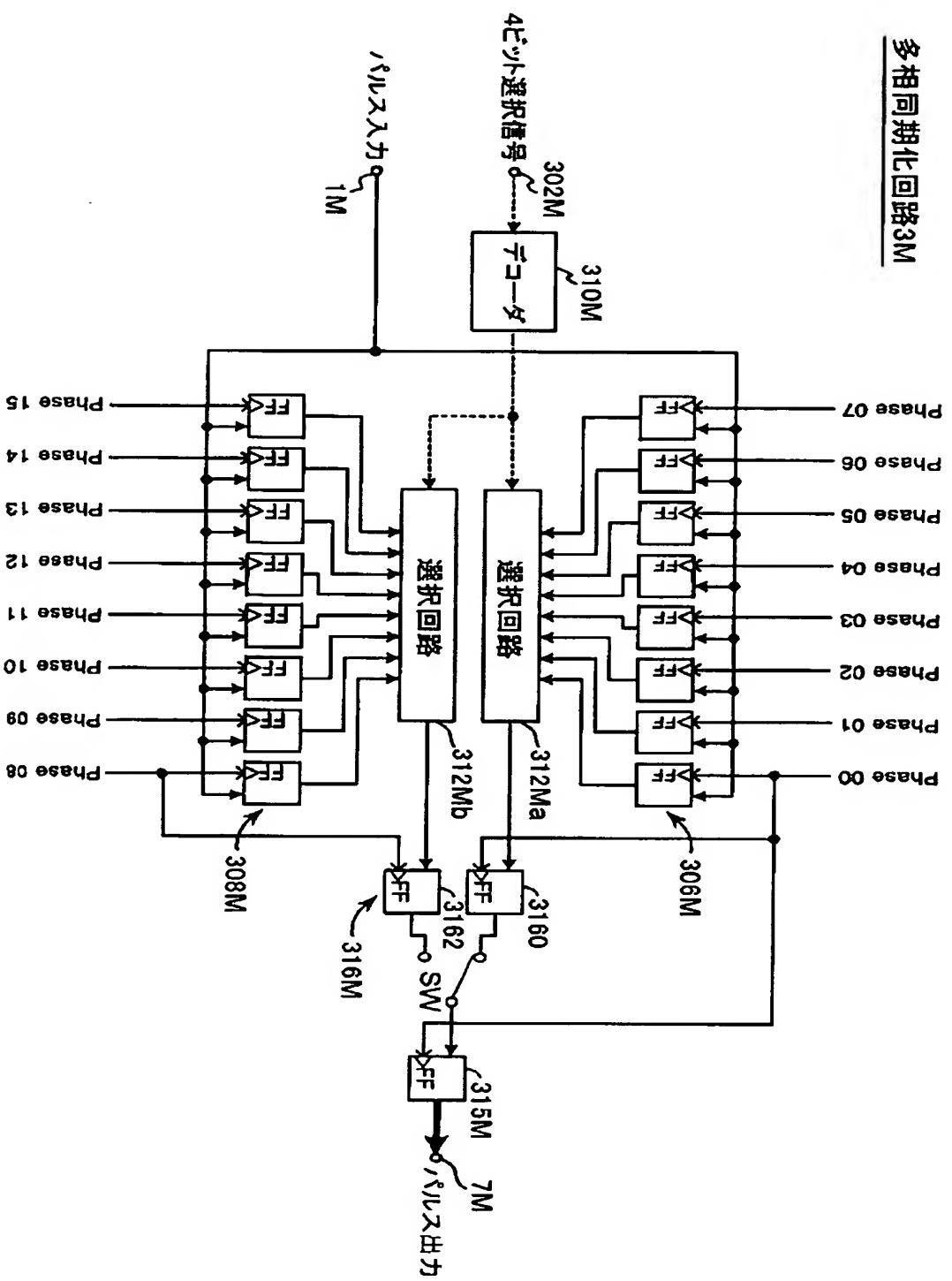
【図14】

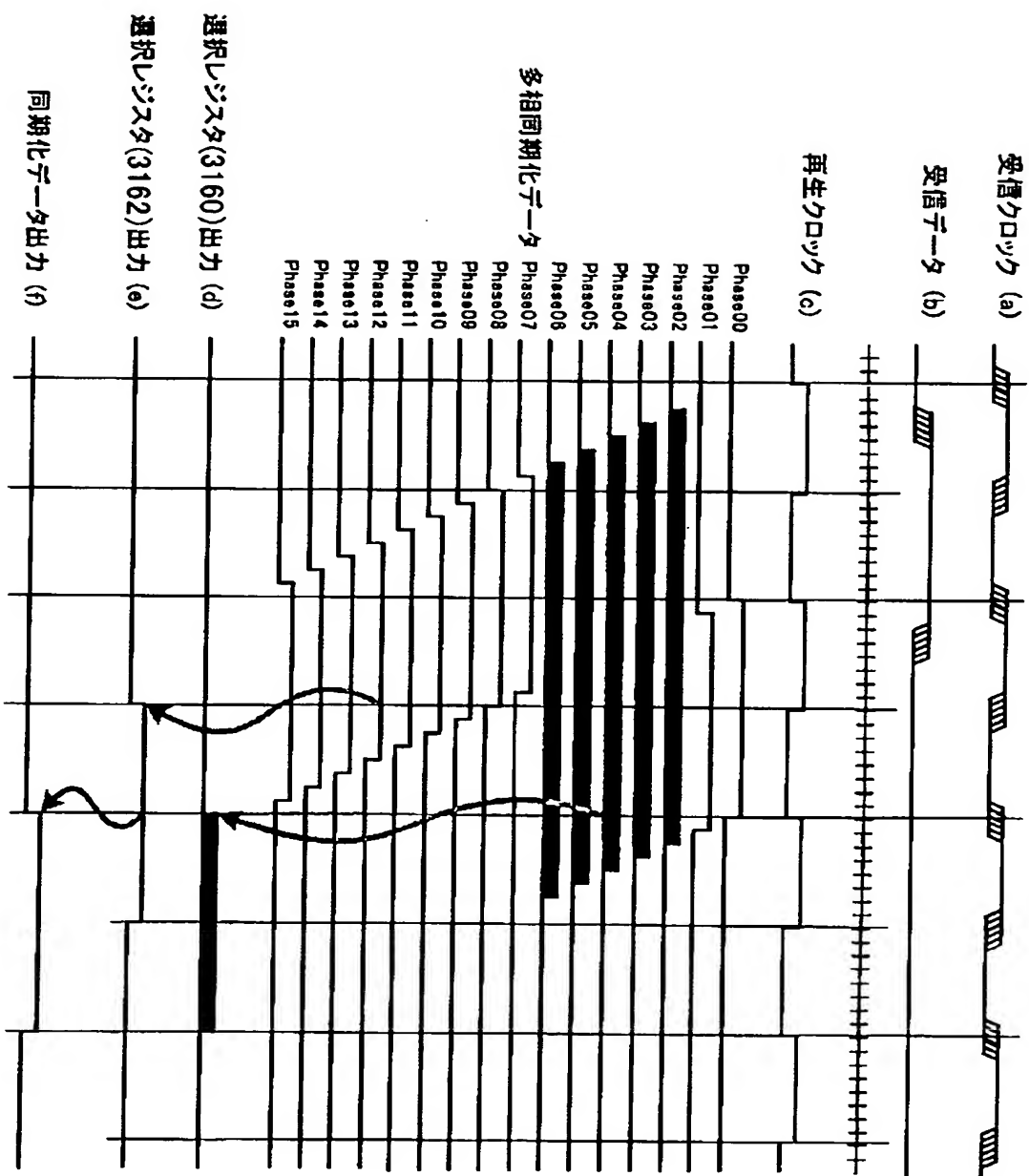


【図15】



多相同期化回路3M





【図 17】

【書類名】 要約書

【要約】

【課題】 任意のイベントのタイミング調整をより簡単にまたはより正確に実現するためのイベント・タイミング調整装置を提供する。

【解決手段】 イベントのタイミング調整回路は、多相クロックが発生する多相

クロック発生部 5 と、多相クロック使用部 3 とを備えている。多相クロック発生部 5 は、入力端子 1 に受けたイベント入力に対し適用する位相の異なる複数の位相クロックが発生する。多相クロック使用部 3 は、この多相クロックからの任意の 1 つをそれぞれ表す。多相クロック発生部 3 は、複数の異なる調整量

の位相クロックを使用して、上記イベントの変更したタイミングを表すイベント変更タイミング信号が発生する。

【選択図】 図 1

特願 2002-303964

出願人履歴情報

識別番号

[390020248]

1. 変更年月日
住所
氏名

1999年11月19日
住所変更
東京都新宿区西新宿六丁目24番1号
日本テキサス・インスツルメンツ株式会社